

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
FUJII et al.)
Application Number: 10/681,206)
Filed: October 9, 2003)
For: LOGIC VERIFICATION SYSTEM)
ATTORNEY DOCKET NO. HITA.0441)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

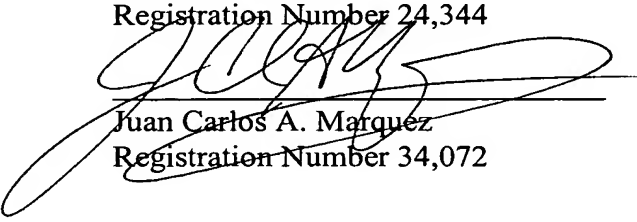
Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of October 17, 2002, the filing date of the corresponding Japanese patent application 2002-303415.

A certified copy of Japanese patent application 2002-303415 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344



Juan Carlos A. Marquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
February 10, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 1 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 0 3 4 1 5
Application Number: /
[ST. 10/C]: [J P 2 0 0 2 - 3 0 3 4 1 5]

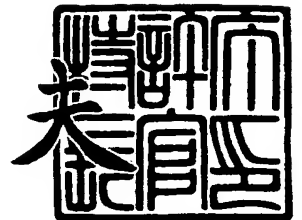
出 願 人 株 式 会 社 ル ネ サ ス テ ク ノ ロ ジ
Applicant(s):



2 0 0 3 年 1 0 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 8 6 4 2 8



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
FUJII et al.)
Application Number: 10/681,206)
Filed: October 9, 2003)
For: LOGIC VERIFICATION SYSTEM)
ATTORNEY DOCKET NO. HITA.0441)

**Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231**

LETTER

Sir:

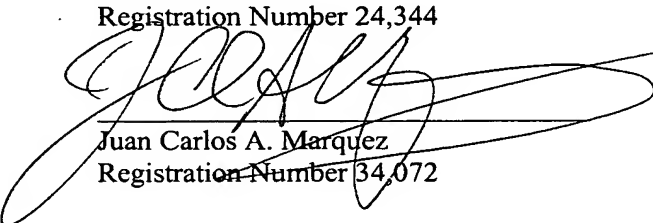
The below-identified communications are submitted in the above-captioned application or proceeding:

- | | | |
|---|--|---|
| <input checked="" type="checkbox"/> (X) | Priority Documents ONE (1) | |
| <input checked="" type="checkbox"/> (X) | Request for Priority | <input type="checkbox"/> () Assignment Document |
| <input type="checkbox"/> () | Response to Missing Parts
w/ signed Declaration | <input type="checkbox"/> () Petition under 37 C.F.R. § 1.47(a) |
| | | <input type="checkbox"/> () Check for |

☒ [X] The Commissioner is hereby authorized to charge payment of any fees associated with this communication, including fees under 37 C.F.R. § 1.16 and 1.17 or credit any overpayment to **Deposit Account Number 08-1480**. A duplicate copy of this sheet is attached.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344



Juan Carlos A. Marquez
Registration Number 34,072

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
February 10, 2004

【書類名】 特許願

【整理番号】 H02015741

【提出日】 平成14年10月17日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/28
H03K 19/00

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 藤井 基継

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 多田 修

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 森本 和伸

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 山際 明

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社日立
画像情報システム内

【氏名】 七尾 恒

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100081938

【弁理士】

【氏名又は名称】 徳若 光政

【電話番号】 0422-46-5761

【手数料の表示】

【予納台帳番号】 000376

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 論理検証システム

【特許請求の範囲】

【請求項 1】 論理エミュレーションと論理シミュレーションの 2 つの検証工程において、同一の F P G A モジュールと同一のコンフィギュレーションデータを使用することを特徴とする論理検証システム。

【請求項 2】 汎用プロセッサ上で動作する装置と、F P G A を用いて再構成可能な論理装置を含む装置と、上記汎用プロセッサ上で動作する装置と上記 F P G A を用いて再構成可能な論理装置を含む装置との間でデータの送受信を行うブリッジ回路とで構成される論理シミュレーション加速装置を備え、

上記論理エミュレーション装置での検証工程に用いられる F P G A モジュールとブリッジ回路間を、F P G A モジュールの全ピンについて直結配線し、かつ論理シミュレーションの加速を行う場合に、F P G A モジュールの外部インタフェースコネクタに検証対象論理の切り口を割り当て、上記 F P G A モジュールの外部インタフェースコネクタの各ピンと論理信号との対応付けを上記汎用プロセッサ上の論理シミュレータ上で行うことを特徴とする論理検証システム。

【請求項 3】 請求項 2 において、

上記 F P G A モジュールに搭載する論理に、その信号が制御する双方向信号の方向制御信号をインタフェースを用いてブリッジ回路に送信する手段を設けてなることを特徴とする論理検証システム。

【請求項 4】 請求項 2 において、

上記 F P G A モジュールとブリッジ回路を搭載するデバイス間で双方向信号の信号方向を自動検出する手段を設け、論理シミュレーションの加速と論理エミュレーションの 2 つの検証工程において、検証対象の論理を搭載した同一の F P G A 群のプログラムデータを使用することを特徴とする論理検証システム。

【請求項 5】 請求項 4 において、

上記デバイス間で双方向信号の信号方向を自動検出する手段は、両デバイスの出力回路のドライバビリティの強弱を設定し、ドライバビリティが強い方のデバイスに信号方向決定の優先度を設けるものであることを特徴とする論理検証シ

テム。

【請求項 6】 請求項 4 において、

上記 F P G A モジュールとブリッジ回路を搭載するデバイス間で双方向信号の信号方向を自動検出する手段と、汎用プロセッサ上の論理シミュレータに双方向信号の信号方向を入力する手段を設け、上記 2 つの信号方向を比較することで論理シミュレータでの信号方向と F P G A モジュールでの信号方向の不一致を検出することを特徴とする論理検証システム。

【請求項 7】 請求項 6 において、

上記デバイス間で双方向信号の信号方向を自動検出する手段は、両デバイスの出力回路のドライバビリティの強弱を設定し、ドライバビリティが強い方のデバイスに信号方向決定の優先度を設けるものであることを特徴とする論理検証システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、論理検証システムに関し、例えばシステム L S I（大規模集積回路装置）の開発設計に用いられる論理シミュレータ（エミュレータ）に利用して有効な技術に関するものである。

【0002】

【従来の技術】

近年、F P G A（フィールド・プログラマブル・ゲート・アレイ）を利用した論理エミュレーションシステムが論理検証手段として取り入れられるようになってきている。論理エミュレーションを実施した場合、実 L S I を作成しないと検出できなかった、周辺実部品との I / F（インタフェース）確認や、搭載基板の確認、論理シミュレーションでは検出し難い不良の摘出等が可能となり、設計期間とコストを削減することができる。また、近年の L S I の論理規模増加に伴い処理時間が長大化してきたことから、F P G A に検証対象論理の一部またはすべてを搭載することで、論理シミュレーションの加速（処理速度向上）を実現するシステムが製品化され始めている。

【0003】

特開平11-352190号公報（以下、先行技術1という）には、FPGAモジュールとして、FPGA、スイッチングデバイス、コネクタを搭載し、各FPGAに割り当てた論理のインタフェースを比較的容易に変更可能とすると共に、搭載されたコネクタ経由で周辺部品等、論理の外部周辺部品と接続し、市販の論理エミュレーションシステムよりも高密度で小型の形状とすることで、周辺部品等と同一の基板に搭載することを可能とすることが記載されている。

【0004】

米国特許第6,009,256号公報（以下、先行技術2という）には、HDL記述された論理とテストベンチを入力とし、HDLから論理構成要素（レジスタ、組み合わせ回路、ワイヤ、クロック発生回路）を読み取ることで、論理及びテストベンチをS/Wで実現する部分とH/Wで実現する部分に自動分離し、それぞれをもとにCPUで実行可能なソフトウェアモデルとFPGAにプログラムするハードウェアモデルを作成し、CPU、システムバス（PCI等）、FPGAを構成要素とするプラットフォーム上でこれら2つのモデルを連動動作させることができる論理シミュレーション装置または論理検証装置が開示されている。

【特許文献1】

特開平11-352190号公報

【特許文献2】

米国特許第6,009,256号公報

【0005】**【発明が解決しようとする課題】**

前記先行技術1のシステムのように、FPGAが搭載されているか、またはFPGAが搭載可能となっており、各FPGA間をスイッチングデバイスで接続するエミュレーションシステムの場合、ブリッジ回路は前記先行技術1のシステム上に搭載可能なFPGAで実現できるが、ブリッジ回路と各FPGAとの接続において必ずスイッチングデバイスを経由するため、このスイッチングデバイスをプログラムする処理が必要となる。また、論理シミュレーションの加速から論理エミュレーションに移行する場合に、ブリッジ回路を搭載したデバイスを取り外

し、代わりに周辺実部品を搭載するもしくはインタフェースコネクタを搭載して、論理とこれら部品とのインタフェースをスイッチングデバイスをプログラムし直すことで再構成する必要がある。

【0006】

そして、上記先行技術1のシステムのように、FPGAが搭載されているか、またはFPGAが搭載可能となっており、各FPGA間をスイッチングデバイスで接続するエミュレーションシステムの場合、ブリッジ回路と検証対象論理のインタフェースに双方向の信号がある場合で、かつ論理シミュレータ側にその双方向信号の方向を切り替える信号（双方向信号の方向制御信号）が存在しない場合には、検証対象論理のインタフェースにこの双方向信号の方向制御信号を追加して、その信号を論理シミュレータに渡す必要がある。この双方向信号の方向制御信号は、論理の各双方向バス毎に存在するため本数が多く、ブリッジ回路と検証対象論理のインタフェースのピン数が増加してしまうという問題が発生する。

【0007】

この発明の目的は、開発時間を改善した論理検証システムを提供することにある。この発明の他の目的は、設計品質を向上した論理検証システムを提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。論理シミュレーション加速装置と、論理エミュレーション装置での検証工程に用いられるFPGAモジュールとブリッジ回路間において、FPGAモジュールの全ピンを直結配線し、かつ論理シミュレーションの加速を行う場合に、FPGAモジュールの外部インタフェースコネクタに検証対象論理の切り口を割り当て、上記FPGAモジュールの外部インタフェースコネクタの各ピンと論理信号との対応付けを汎用プロセッサ上の論理シミュレータ上で行うようにする。

【0009】

【発明の実施の形態】

図1には、この発明が適用されるLSIにおける設計及び検証方法を説明するためのフローチャート図が示されている。図1において、ステップS0101にあるように実現する回路の仕様を決定する仕様設計を行う。次に、ステップS0102で、ステップS0101で決定した仕様に基きHDL（ハードウェア記述言語）を用いて論理回路をレジスタトランスファレベルで記述し、論理設計を行う。その後、ステップS0103で、ステップS0102の論理回路を汎用プロセッサ上で擬似的に動作させることによりその動作を検証する機能を持つ論理シミュレータと呼ばれるシステムを用いて、設計した論理回路の検証を行う。この検証は、一般的には論理シミュレーションと呼ばれている。ここでは、論理機能が仕様通りかどうかを検証する。

【0010】

論理機能が確認されると、ステップS0104の論理合成処理を行い、レジスタトランスファレベルで記述された回路を、ターゲットとなるASIC（LSI）ゲート回路に変換する処理を行う。ステップS0104では、実際にターゲットとなるASICゲートで構成された回路が出力として得られるため、実行後にステップS0105にあるようにタイミングが仕様を満たすかどうかの検証を行うことが行われる。

【0011】

ステップS0106にあるように論理シミュレーションによる検証の終わり頃から、論理シミュレーションによる検証、論理合成、レイアウトと並行して、FPGA（Field Programmable Gate Array）などの再構成可能なデバイスを利用した論理エミュレーションを行う。この検証は、再構成可能なデバイスに設計した論理をプログラムすることで、実際の周辺部品と組み合わせて実動作に近い速度で論理を動作させ、実部品の仕様誤解の検出やテストパターンが長大で論理シミュレーションでは実行が不可能なケースにおける不良などをLSI製造前に摘出することを目的としたものである。

【0012】

上記再構成可能なデバイスに設計した論理をプログラムすると、実動作に近い

速度で論理を動作させることが可能であるため、組み込みシステムなどの開発のように、設計した論理と組み合わせて動くソフトウェアを同時期に設計する場合、ステップS0107のようにソフトウェアデバッグをLSIのサンプル製造前から実施することができ、これによって設計期間を短縮することができる。

【0013】

ステップS0105にてタイミングに問題がなければ、ステップS0108に進み、ステップS0104においてターゲットとなるASICゲート回路に変換された論理を入力として、セルをチップに配置し、そのセルのピン同士を各セル間の論理接続に従って配線するレイアウト処理を行う。この後、ステップS0109にあるようにタイミングが仕様を満たすかどうかの最終検証を行う。

【0014】

ステップS0106、ステップS0109の検証が終わると、ステップS0110にて、実際にLSIを製造する。この後、ステップS0111にて最終確認のために実機検証を行うが、ステップS0106の論理エミュレーションを実施している場合、共通のテストデータや環境を使用することができ、また本来はこの時点でしか摘出できなかった不良を早期に検出しているため、実機検証期間を大幅に短くすることができる。

【0015】

この発明は、図1の各フローのうち、ステップS0103における再構成可能なデバイスを利用した論理シミュレーションの加速と、ステップS0106における再構成可能なデバイスを利用した論理エミュレーションの改良に関するものである。

【0016】

上記論理エミュレーションは、開発論理規模の増加に対応して複数の再構成可能なデバイスを搭載し、その再構成可能なデバイスに検証対象の論理を分割して割りあて、同一のボードに搭載された周辺実部品やコネクタを経由して接続される入出力装置とともに論理動作を実現する。論理エミュレーションで用いるマザーボードは、LSI開発者が、設計するLSIにあわせて製作したり、あるいは市販のFPGAを複数個搭載し、かつその相互間を直接またはスイッチングデバ

イスで接続した論理エミュレーションシステムを使用することが知られている。

【0017】

しかし、前者のマザーボードを設計するLSIにあわせて製作する場合、そのマザーボードを他のLSI開発に流用できないという問題が発生する。また、各FPGAに割り当てた論理のインタフェース、すなわち各FPGA間の結線を容易に変更できないという問題もある。一方、後者の市販の論理エミュレーションシステムの場合、スイッチングデバイスにより、比較的容易に各FPGAに割り当てた論理のインタフェース変更に対応できる。また、論理エミュレーションシステムに汎用的なコネクタを用意し、周辺部品等をそのコネクタ経由で外付けにすることで論理エミュレーションシステムにプログラムするLSIを自由に変更、交換可能とする。

【0018】

しかながら、通常の論理エミュレーションシステムは大型であり、周辺部品等と同一の基板に搭載することができない。このような問題を解決する手段として、前記先行技術1で示されたFPGAモジュールを利用する手法が知られている。このようなFPGAモジュールは、FPGA、スイッチングデバイス、コネクタを搭載し、各FPGAに割り当てた論理のインタフェースを比較的容易に変更可能とすると共に、搭載されたコネクタ経由で周辺部品等、論理の外部周辺部品と接続する。市販の論理エミュレーションシステムよりも高密度で小型の形状とすることで、周辺部品等と同一の基板に搭載することを可能とする。

【0019】

再構成可能なデバイスを利用し論理シミュレーションの加速を実現するシステムとして、FPGAを複数個搭載し、かつ論理シミュレーションを実行する汎用プロセッサとの汎用インタフェースを備えるものがある。検証対象の論理を複数個のFPGAに分割搭載し、汎用プロセッサとつながる汎用インタフェースと接続することで、汎用プロセッサ上で動作する論理シミュレータから、汎用インタフェースを通して複数個のFPGAに信号を送り、また汎用インタフェースを通して複数個のFPGAから論理シミュレータへ信号を返すという処理が可能となる。これにより、本来は汎用プロセッサ上で擬似動作させる必要のあった論理動

作を、複数個のFPGA上で実行することができるようになり、処理時間が短縮される。

【0020】

このような論理シミュレーションの加速装置では、汎用プロセッサとつながる汎用インタフェースと接続され、汎用インタフェースのバス仕様に従って汎用プロセッサと通信を行う機能を持つことで、装置上のFPGAと汎用プロセッサとの通信の仲介を行うブリッジ回路を持ち、このブリッジ回路と複数個のFPGAがローカルバスで接続され、定められたバス仕様に則りシーケンシャルに相互で信号のやり取りを行うことが行われる。このような接続の場合、各FPGAおよびブリッジ回路間の結線は、搭載する論理に依存せず、ローカルバスの仕様にのみ従って配線することができる。しかしながら、もともと装置に搭載する対象の論理には存在しないローカルバスとのインタフェース論理を、各FPGAに搭載された分割論理の切り口に追加する必要が発生する。

【0021】

この問題を解決するシステムとして、複数のFPGAを搭載でき、FPGAに搭載した論理間のインタフェースをプログラマブルに変更できる論理エミュレーション装置と、汎用プロセッサによって動作する装置とインタフェースを持ち、論理シミュレータと信号のやり取りが可能な装置とを組み合わせることで論理シミュレーションと論理エミュレーションの協調動作を可能とし、論理エミュレーション側で検証対象の論理を実動作させて論理シミュレーションを加速するものが考えられる。

【0022】

このようなシステムの場合、汎用インタフェースのバス仕様に従って汎用プロセッサと通信を行う機能を持ち、装置上のFPGAと汎用プロセッサとの通信の仲介を行うブリッジ回路とFPGAとの接続は、スイッチングデバイスにより、フレキシブルに変更可能となっており、FPGA間の接続についても同様であるから、ブリッジ回路と各FPGAとの接続を前記先行技術2のように検証対象論理と異なるローカルバスとする必要がなく、FPGAで実現する論理の切り口とすることができる。

【0023】

しかし、ブリッジ回路と各FPGAとの接続において必ずスイッチングデバイスを経由するため、このスイッチングデバイスをプログラムする処理が必要となる。また、論理シミュレーションの加速から論理エミュレーションに移行する場合に、ブリッジ回路を搭載したデバイスを取り外し、代わりに周辺実部品を搭載するかもしれないインタフェースコネクタを搭載して、論理とこれら部品とのインタフェースをスイッチングデバイスをプログラムし直すことで再構成する必要がある。

【0024】

このシステムの場合、ブリッジ回路と検証対象論理のインタフェースに双方向の信号がある場合で、かつ論理シミュレータ側にその双方向信号の方向を切り替える信号（双方向信号の方向制御信号）が存在しない場合に、検証対象論理のインタフェースにこの双方向信号の方向制御信号を追加して、その信号を論理シミュレータに渡す必要がある。この双方向信号の方向制御信号は、論理の各双方向バス毎に存在するため本数が多く、ブリッジ回路と検証対象論理のインタフェースのピン数が増加してしまうという問題が発生する。

【0025】

なお、先行技術2の場合には、論理シミュレーションの加速時に、各FPGAに割り当てられた論理にローカルバスのインタフェースを追加しているため、論理シミュレーションの加速から論理エミュレーションに移行する場合に、FPGAを搭載した論理エミュレーションマザーボードを論理にあわせて作成し、FPGA間および周辺実部品などとの論理の外部インタフェースとの接続を、ローカルバスから実際の論理の切り口に変更する必要がある。

【0026】

本願発明では、論理シミュレーションと論理エミュレーションの2つの検証工程において、検証対象の論理を搭載した同一のFPGA群のプログラムデータを使用することを可能とするために案出されたものである。すなわち、本願発明の概要を説明するならば、以下の通りである。汎用プロセッサ上で動作する装置と、再構成可能な論理装置（FPGA等）を含む装置とで構成される論理シミュレ

ーションの加速装置と、再構成可能な論理装置（FPGA等）を含む論理エミュレーション装置において、同一のFPGAモジュールを使用する。

【0027】

上記FPGAモジュールとブリッジ回路間において、FPGAモジュールの全ピンを直結配線し、かつ論理シミュレーションの加速を行う場合に、FPGAモジュールの外部インタフェースコネクタに検証対象論理の切り口を割り当てる。そして、FPGAモジュールの外部インタフェースコネクタの各ピンと論理信号との対応付けを、汎用プロセッサ上の論理シミュレータ上で行うようにする。

【0028】

FPGAモジュールに搭載する論理に、双方向信号の方向制御信号を、その信号が制御する双方向信号のインタフェースを用いてブリッジ回路に送信する手段を設けるFPGAモジュールとブリッジ回路を搭載するデバイス間で双方向信号の信号方向を自動検出する手段を設けることで、論理シミュレーションの加速と論理エミュレーションの2つの検証工程において、検証対象の論理を搭載した同一のFPGA群のプログラムデータを使用することを実現する。

【0029】

図2には、この発明に係る論理エミュレーションシステムの一実施例の構成図が示されている。この実施例は、図1におけるステップS0106で実施する論理エミュレーションをFPGAモジュールを利用して行う場合のシステムに向けられている。同図において、0001-1は、検証対象の論理をプログラムするFPGAモジュール0027、市販部品、既存LSIなどを搭載した論理エミュレーションマザーボードであり、0002は、上記マザーボード0001-1に信号を入出力するための信号入力／出力装置であり、例えばスピーカやディスプレイ、マイクなどからなる。

【0030】

0003は、入力／出力装置0002と接続するためにマザーボード0001-1に搭載されたコネクタである。0027は、検証対象の論理をプログラムするFPGAモジュールである。0004、0005は検証対象論理の周辺部品の一例であり、0005は既存LSIを、0004はメモリを例示している。この

実施例では、FPGAをモジュール0027が1つにまとめ取り外し可能とされている。

【0031】

この実施例の論理エミュレーションシステムでは、前記説明したと同様に、開発論理規模の増加に対応して複数の再構成可能なデバイスを搭載し、その再構成可能なデバイスに検証対象の論理を分割して割り当てられ、同一のボードに搭載された周辺実部品やコネクタを経由して接続される入出力装置とともに論理動作を実現する。この実施例の論理エミュレーションで用いるマザーボードは、上記のように市販の、FPGAを複数個搭載し、かつその相互間を直接またはスイッチングデバイスで接続した論理エミュレーションシステムを使用する。

【0032】

図3には、この発明に用いられるFPGAモジュールの一実施例のブロック図が示されている。この実施例のFPGAモジュールは、複数個のFPGAとスイッチングデバイス、コネクタを備えて大規模論理が搭載される。0027は、FPGAモジュールである。0028～0031はFPGAモジュールで実現する論理を分割してプログラムするためのFPGAである。0032～0035は、は各FPGAにマッピングされた論理間を接続するためのスイッチングデバイスである。0036～0039は各FPGA0028～0031にマッピングされた論理の外部インタフェース信号をFPGAモジュール0027から入出力するためのコネクタである。

【0033】

0040は、FPGAモジュール0027を搭載するためのマザーボードであり、前記図1では0001-1として表している。コネクタ0036～0039と接続可能なコネクタを搭載することで、マザーボード0040からFPGAモジュール0027に対して信号を入出力できる。0041は、FPGAモジュール上の2つ以上のFPGAを直接結ぶワイヤである。0042は、FPGAモジュール上でスイッチデバイスとFPGAを結ぶワイヤである。

【0034】

図4には、この発明に係る論理シミュレーションアクセラレータの一実施例の

構成図が示されている。この実施例の論理シミュレーションアクセラレータは、前記図 1 におけるステップ S 0 1 0 3 で実施する論理シミュレーションを加速する装置であり、前記図 3 の F P G A モジュールを利用して実現される。

【 0 0 3 5 】

0 0 1 0 - 1 は、論理シミュレーションを加速するために、検証対象論理をハードウェア化するための F P G A モジュール 0 0 2 7 と、パーソナルコンピュータ／ワークステーション（P／W）と信号を送受信するための汎用インタフェースと、その汎用インタフェースと F P G A との間でデータの受け渡しをするブリッジ回路 0 0 1 1 を実現したデバイスを搭載したボードである。0 0 2 7 は、上記の図 3 で示した F P G A モジュールであり、0 0 1 1 は、汎用のインタフェースと F P G A との間でデータの受け渡しをするブリッジ回路を実現するデバイスであり、0 0 1 2 は、上記ボード 0 0 1 0 - 1 を汎用のインタフェースを介して搭載する対象の装置であり、例としてパーソナルコンピュータ P C から構成される。

【 0 0 3 6 】

上記パーソナルコンピュータ P C は、以下の各装置を備えている。0 0 1 3 は汎用プロセッサ（C P U）である。0 0 1 4 は、ディスクメモリ装置であり、論理シミュレーションプログラムや論理シミュレーションへの入力データ、論理シミュレーションからの出力結果を格納する。0 0 1 5 は、ディスプレイなどの表示装置であり、論理シミュレーション結果の表示などを行う。0 0 1 6 は、キーボードなどの入力装置であり、論理シミュレーション実行を行うためのユーザインタフェースとなる。

【 0 0 3 7 】

この実施例の論理シミュレーションアクセラレータは、汎用プロセッサ 0 0 1 3 上で、ディスクメモリ装置 0 0 1 4 上の論理シミュレーションプログラムを実行する。ブリッジ回路 0 0 1 1 は、汎用インタフェースを介して、F P G A 上でハードウェア化されたシミュレーション対象論理と信号を送受信し、検証対象論理のシミュレートを行う。上記 F P G A モジュール 0 0 1 0 - 1 がいない場合には、上記汎用プロセッサ 0 0 1 3 で実行しなければならなかった検証対象論理の擬

似動作を、FPGA上でハードウェア化された論理を実動作させるようにし、汎用プロセッサ0013での処理を減らすことで、処理速度を加速する。この実施例の論理シミュレーションアクセラレータは、FPGAをモジュールとして1つにまとめ取り外し可能としている。

【0038】

図11には、前記FPGAをモジュールに論理をプログラムする方法の一例を簡単に説明するためのフローチャート図が示されている。ステップS0901では、FPGAモジュールに実現する検証対象論理を設計しているLSIから切り出す処理を行う。最終的には検証対象論理は設計しているLSI全体となるが、設計の終了した機能からFPGAモジュールに実現することで、論理シミュレーションの加速や論理エミュレーションを実行することができる。

【0039】

図5に、上記切り出された検証対象論理を説明するためのブロック図が示されている。検証対象論理は、検証対象論理と外部とで信号をやり取りするためのインタフェース（切り口）を持つ。この切り口を以下ポートと呼ぶ。また、検証対象論理は1つ以上の機能を持つ。LSIのレジスタトランスファレベルの設計においては、これら機能をブロックとしてまとめて設計することが多い。以下このブロックを機能ブロックと呼ぶ。検証対象論理は、同図に示すようにポート、機能ブロック、および機能ブロック間で信号をやり取りするためのネットで構成される。

【0040】

図11において、ステップS0902にて、ステップS0901で切り出した論理を、ターゲットとなる再構成可能なデバイスのゲートで記述された回路に変換する。この実施例では、以下、再構成可能なデバイスをFPGAと言い表す。次に、ステップS0903で、検証対象の論理をFPGAモジュール上の複数のFPGAに割り当てる。

【0041】

図6には、上記検証対象の論理をFPGAモジュール上の複数のFPGAに割り当てた例のブロック図が示されている。0010は、論理シミュレーションを

加速するために、検証対象論理をハードウェア化するためのFPGAと、PCと信号を送受信するための汎用インタフェースと、その汎用インタフェースとFPGAとの間でデータの受け渡しをするブリッジ回路を実現したデバイスを搭載したボードである。

【0042】

0006～0009は、前記図5の論理を分割して割り当てるためのFPGAである。0011は、汎用インタフェースとFPGAとの間でデータの受け渡しをするブリッジ回路を実現したデバイスである。0026は、汎用プロセッサとつながる汎用インタフェースである。0052は、上記ブリッジ回路を実現したデバイス0011と上記ボード0010上のFPGA0006～0009を結ぶローカルバスである。0043～0047は、上のFPGAに割り当てられた図5の論理機能ブロックである。0053～0056は、機能ブロック0043～0047のインタフェースをローカルバス0052のインタフェースに変換してブリッジ回路0011とのデータ送受信を行うローカルバスインタフェース回路である。

【0043】

上記検証対象の論理をFPGAモジュール上の複数のFPGAに割り当てた例のブロック図が示されている。同図のように、複数のFPGAへの割りあてを機能ブロック単位とすることが、例えば前記先行技術1においても行われているが、この実施例では、機能ブロックをまたいで複数のFPGAへの割りあてを行っても良い。

【0044】

図11において、ステップS0904では、FPGAモジュールのコネクタのピンに、検証対象論理のポートを割り当てるとともに、FPGAモジュール上で複数のFPGAへの割りあてを行った論理間および論理とポート間の論理接続を、前記図3のFPGAモジュール上でスイッチデバイスとFPGAを結ぶワイヤ0041や0042を用いて行う。この際、FPGAモジュールに搭載されたスイッチングデバイス内の接続も決定される。

【0045】

図10には、複数のFPGAを搭載したFPGAモジュールに前記図5の論理を割り当てた例のブロック図が示されている。0027は、FPGAモジュールである。0029～0032は、図5の論理を分割して割り当てるためのFPGAである。0036と0039は、FPGAモジュール0027上に搭載されたコネクタであり、FPGAに割り当てられた論理の外部インタフェースをFPGAモジュールの外側に接続するためのコネクタである。

【0046】

0043～0047は、FPGAモジュール0027上のFPGAに割り当てられた図5の論理機能ブロックである。0048～0051は、上記コネクタ0036、0039に接続された、図5の論理の外部インタフェースである。0057、0059は、図5の機能ブロック間を結ぶネットである。この実施例では、ポートA、ポートDをコネクタ0048のピンに割り当てており、ポートB、ポートCをコネクタ0049のピンに割り当てている。また、論理間の接続0057、0058がワイヤ0041や0042に割り当てられる。

【0047】

図11において、ステップS0905で、ステップS0903で各FPGAに割り当てた分割結果論理毎に、ステップS0904で決定された論理間接続のワイヤ割り当て結果をFPGAのピン配置制約として入力し、FPGA内の配置配線処理を行う。ステップS0905が終了すると、ステップS0906にあるようにステップS0904で決定されたスイッチングデバイス内の接続と、ステップS0905の処理結果であるFPGA内の配置配線結果をFPGAにプログラム（コンフィギュレーション）する処理を行う。この処理を行うことで、プログラムした論理をFPGAモジュールで動作させることが可能となる。

【0048】

FPGAやスイッチングデバイスに論理をプログラム（コンフィギュレーション）する方法は、FPGAメーカーやスイッチングデバイスメーカーによりさまざまな方法が提供、提示されているが、一般的にはメモリにコンフィギュレーションデータを格納しておき、直接またはコンフィギュレーションを制御するLSIを経由してFPGAやスイッチングデバイスにコンフィギュレーションデータをプロ

グラムする手法が用いられている。

【0049】

参考として、図7には、論理エミュレーション装置の複数FPGAに論理を割り当てた例を、図8には、スイッチングデバイスを搭載した論理エミュレーション装置の複数FPGAに論理を割り当てた例を、図9には図8と接続される論理シミュレーションの加速装置の複数FPGAに論理を割り当てた例をそれぞれ示す。

【0050】

上記図7においては、上記のように複数のFPGAを搭載した論理エミュレーション装置に図7の論理を割り当てた例が示されている。0001は検証対象の論理をプログラムするFPGA、市販部品、既存LSIなどを搭載した論理エミュレーションマザーボードである。0002は、論理エミュレーションマザーボードに信号を入出力するための信号入力／出力装置。例えば、スピーカやディスプレイ、マイクなどである。0003は、上記信号入力／出力装置0002とインタフェースをとるためのコネクタである。0004は、は検証対象論理の周辺部品であり、同図ではメモリを例としてあげている。0006～0009は、図5の論理を分割して割り当てるためのFPGAである。0043～0047は、論理エミュレーションマザーボード0001上のFPGAに割り当てられた図5の論理機能ブロックA～Eである。

【0051】

図8においては、上記のように複数のFPGAを搭載し、各FPGAにプログラムした論理間のインタフェースをプログラマブルに変更できる論理エミュレーション装置に図7の論理を割り当てた例が示されている。0017は検証対象の論理をプログラムするFPGA、市販部品、既存LSIなどを搭載でき、各搭載品のインタフェースをプログラマブルに変更できる論理エミュレーション装置であり、0006～0009は、図5の論理を分割して割り当てるためのFPGAである。0043～0047は、論理エミュレーションマザーボード0001上のFPGAに割り当てられた図5の論理機能ブロックA～Eである。0002は、エミュレーションマザーボードに信号を入出力するための信号入力／出力装置

であり、例えばスピーカやディスプレイ、マイクなどからなる。0003は、信号入力／出力装置0002とインタフェースをとるためのコネクタである。0004は、検証対象論理の周辺部品であり、メモリを例としてあげている。0018, 0019は、論理エミュレーションマザーボード0001に搭載する部品間のインタフェースをプログラマブルに接続するためのスイッチングデバイスである。

【0052】

図9においては、上記のように複数のFPGAを搭載し、各FPGAにプログラムした論理間のインタフェースをプログラマブルに変更できる論理エミュレーション装置に、汎用プロセッサによって動作する装置とインタフェースを持ち、論理シミュレータと信号の送受信が可能な装置とを組み合わせたシステムに図5の論理を割り当てた例が示されている。0017は、検証対象の論理をプログラムするFPGA、市販部品、既存LSIなどを搭載でき、各搭載品のインタフェースをプログラマブルに変更できる論理エミュレーション装置である。0006～0009は、図5の論理を分割して割り当てるためのFPGAである。0043～0047は、論理エミュレーション装置0001上のFPGAに割り当てられた図7の論理機能ブロックである。

【0053】

0018, 0019は、論理エミュレーション装置0001に搭載する部品間のインタフェースをプログラマブルに接続するためのスイッチデバイスである。0020は、論理エミュレーション装置0001に搭載する論理回路のインタフェースと接続され、コネクタ、ケーブル配線を経由して汎用プロセッサとの汎用インタフェースを持つボード0021を経由して、汎用プロセッサと論理エミュレーション装置0001に搭載する論理回路との間で信号の送受信を行うブリッジ回路が搭載されたデバイスである。0021は、汎用プロセッサとの汎用インタフェースを持ち、コネクタ、ケーブルを介して論理エミュレーション装置0001に搭載されたコネクタ0021と、汎用プロセッサとの間でデータの送受信をする汎用プロセッサで動作する装置に搭載可能なボードである。0022は、ブリッジ回路0020とボード0021とを結ぶケーブルを論理エミュレーショ

ン装置 0001 に接続するためのコネクタである。

【0054】

0023 は、ブリッジ回路 0020 とボード 0021 とを結ぶケーブルである。0024 は、ボード 0021 側でケーブル 0023 を受けるコネクタである。0025 は、汎用プロセッサとつながる汎用インタフェースに接続されケーブル 0023 およびコネクタ 0022、0024 を介して接続されるブリッジ回路 0020 と、汎用インタフェースとの間での信号の受け渡しをとりもつブリッジ回路を実現したデバイスである。0026 は、汎用プロセッサとつながる汎用インタフェースである。

【0055】

図 10 には、この発明に係る複数の F P G A を搭載した F P G A モジュールに図 5 の論理を割り当てた一実施例のブロック図が示されている。同図において、0027 は、F P G A モジュールであり、0029～0032 は、図 5 の論理を分割して割り当てるための F P G A であり、0036、0039 は、F P G A モジュール 0027 上に搭載されたコネクタであり、F P G A に割り当てられた論理の外部インタフェースを F P G A モジュール 0027 の外側に接続するためのコネクタである。0043～0047 は、F P G A モジュール 0027 上の F P G A に割り当てられた図 5 の論理機能ブロック A～E である。0048～0051 は、コネクタ 0036、0039 に接続された、図 5 の論理の外部インタフェースである。0057、0058 は、図 5 の機能ブロック間を結ぶネットである。

【0056】

前記図 11 のステップ S0901～S0905 からなる処理 A は、図 1 のステップ S0103 のみで実施し、ステップ S0106 では S0103 で作成したものを流用する。そして、ステップ S0906（処理 B）は、図 1 のステップ S0103 と S0106 で実施する。

【0057】

図 12 には、この発明に係る F P G A モジュール及び F P G A モジュール搭載ボードの接続例を説明するための外観図が示されている。0027 は F P G A モ

ジュールであり、0 0 2 9 ~ 0 0 3 2 は F P G A モジュール 0 0 2 7 に搭載された F P G A であり、0 0 3 6 ~ 0 0 3 9 は F P G A モジュール 0 0 2 7 に搭載されたコネクタである。

【 0 0 5 8 】

0 0 1 0 - 1 は、論理シミュレーションを加速するために、検証対象論理をハードウェア化するための F P G A モジュール 0 0 2 7 と接続するためのコネクタ 0 0 3 6 ~ 0 0 3 9 と、パーソナルコンピュータやワークステーションと信号を送受信するための汎用インタフェースと、汎用インタフェースと F P G A モジュール 0 0 2 7 との間でデータの受け渡しをするブリッジ回路 0 0 1 1 を実現したデバイスを搭載したボードである。

【 0 0 5 9 】

0 0 1 1 は、パーソナルコンピュータ／ワークステーションと信号を送受信するための汎用インタフェースと F P G A モジュールとの間でデータの受け渡しをするブリッジ回路を実現したデバイスである。0 0 5 9 ~ 0 0 6 2 は、F P G A モジュール 0 0 2 7 をボード 0 0 1 0 - 1 に搭載するためのコネクタである。0 0 6 3 は、F P G A モジュール 0 0 2 7 をコンフィギュレーションするためのデバイスである。0 0 0 1 は、論理エミュレーションマザーボードである。0 0 5 9 - 1 ~ 0 0 6 2 - 1 は、F P G A モジュール 0 0 2 7 をボード 0 0 0 1 - 1 に搭載するためのコネクタである。0 0 6 3 - 1 は、F P G A モジュール 0 0 2 7 をコンフィギュレーションするためのデバイスである。0 0 0 4, 0 0 0 5 は、ボード 0 0 0 1 - 1 に搭載した論理とのインタフェースを検証したい実部品であり、例えばメモリ、既存 L S I などからなる。0 0 0 3 は、論理エミュレーションマザーボードと外部機器などの信号入出力装置を接続するためのコネクタである。

【 0 0 6 0 】

上記図 1 0 において、上記 F P G A モジュール 0 0 2 7 を論理シミュレーションの加速（図 1 のステップ S 0 1 0 3）と論理エミュレーション（図 1 のステップ S 0 1 0 6）の 2 つの検証手法で共有する方法を説明する。論理シミュレーションを加速するために、上記のようにパーソナルコンピュータ／ワークステーシ

ョンと信号を送受信するための汎用インタフェースと、汎用インタフェースと F P G A モジュールとの間でデータの受け渡しをするブリッジ回路を実現したデバイスを搭載したボード 0 0 0 1 - 1 と、周辺実部品や、入出力装置とのインタフェースコネクタを搭載した論理エミュレーションマザーボード 0 0 0 1 - 1 に、F P G A モジュール 0 0 2 7 に搭載されたコネクタと接続可能な、共通のコネクタを搭載する。これにより、物理的に F P G A モジュール 0 0 2 7 が、0 0 1 0 - 1 と 0 0 0 1 - 1 の両者に搭載可能となる。

【 0 0 6 1 】

さらに、F P G A モジュール 0 0 2 7 に、図 1 1 のフローで説明した手順に従って作成した、F P G A モジュール上の F P G A、スイッチデバイスのコンフィギュレーションデータをプログラムする。コンフィギュレーションデータを F P G A、スイッチデバイスにコンフィギュレーションする手法をボード 0 0 1 0 - 1 と 0 0 0 1 - 1 で同一とし、0 0 1 0 - 1 と 0 0 0 1 - 1 のボード上にコンフィギュレーションのための回路を同じ構成、接続で搭載するか、ボードまたは F P G A モジュールに搭載したコネクタを介してコンフィギュレーションのための回路を接続することで、同じデータを F P G A モジュールにコンフィギュレーションして 0 0 1 0 - 1 と 0 0 0 1 - 1 のボードを動作させることができる。0 0 6 3、0 0 6 3 - 1 はコンフィギュレーションのための回路を表す。通常は、メモリまたはメモリとコントロール回路からなる。

【 0 0 6 2 】

図 1 3 には、この発明に係る F P G A モジュール及び F P G A モジュールコンフィギュレーションボードの接続例を説明するための外観図が示されている。0 0 2 7 は、F P G A モジュールであり、0 0 2 9 ~ 0 0 3 2 は F P G A モジュールに搭載された F P G A であり、0 0 6 3 ~ 0 0 6 6 は F P G A モジュールに搭載されたコネクタであり、F P G A モジュールのスタッキングやコンフィギュレーション機能などを持つオプションモジュールとの接続に使用される。0 0 6 7 は、F P G A モジュール 0 0 2 7 のコンフィギュレーション機能を実現するオプションモジュールである。0 0 6 8 は、F P G A モジュール 0 0 2 7 のコンフィギュレーションをコントロールする回路を実現したデバイスである。0 0 6 9 は

、FPGAモジュール0027のコンフィギュレーションデータを格納するメモリであり、0070～0073は、オプションモジュール0067をFPGAモジュール0027に接続するためのコネクタである。

【0063】

例えば、図13のようにFPGAモジュール0027の上部にコネクタを搭載し、FPGAモジュール0027をコンフィギュレーションする機能を持ったコンフィギュレーションボード0067をそのコネクタ経由で搭載し、そのコネクタを通してコンフィギュレーションデータをFPGAモジュール0027にダウンロードしプログラムするようしておく、前記ボード0010-1、0001-1にコンフィギュレーション回路0063、0063-1を搭載しなくても、FPGAモジュール0027とコンフィギュレーションボード0067とをセットでボード0010-1から0001-1にのせかえることで、同じデータをFPGAモジュール0027にコンフィギュレーションして上記0010-1と0001-1のボードを動作させることができる。

【0064】

図14には、この発明に係る論理シミュレーションを加速する装置と論理エミュレーション装置とでFPGAモジュールのデータの共有例を説明するための説明図が示されている。0001-1は、論理エミュレーションマザーボードであり、0010-1は、論理シミュレーションを加速するために、検証対象論理をハードウェア化するためのFPGAモジュール0027と接続するためのコネクタと、パーソナルコンピュータやワークステーションと信号を送受信するための汎用インタフェースと、汎用インタフェースとFPGAモジュールとの間でデータの受け渡しをするブリッジ回路を実現したデバイスを搭載したボードである。

【0065】

0063と0063-1は、FPGAモジュール0027をコンフィギュレーションするためのデバイスであり、0067は、FPGAモジュール0027のコンフィギュレーション機能を実現するオプションモジュールであり、0068は、FPGAモジュール0027のコンフィギュレーションをコントロールする回路を実現したデバイスであり、0069は、FPGAモジュール0027のコ

ンフィギュレーションデータを格納するメモリである。

【0066】

0073-1は、FPGAモジュール0027にダウンロードする実装情報付きの論理情報であるところのコンフィギュレーションデータであり、デバイス0063、0063-1内のメモリ、メモリ0069を経由し、またはデバイス0063、0063-1、メモリ0069経由、もしくは、FPGAモジュール0027に直接入力し、FPGAモジュールのコンフィギュレーションを実行する。

【0067】

同図のように、FPGAモジュール0027は別個に同じ物をそれぞれボード0010-1、0001-1に搭載しておき、FPGAモジュール0027に論理をプログラムするためのデータ（コンフィギュレーションデータ）のみを共有することも可能である。すなわち、ボード0010-1、0001-1上のコンフィギュレーションのための回路0063、0063-1に対して、同一のコンフィギュレーションデータ0073-1を入力すると、コンフィギュレーションデータをFPGA、スイッチデバイスにコンフィギュレーションする手法がボード0010-1と0001-1とで同一で、回路0063、0063-1がボード0010-1と0001-1に同じ構成、接続で搭載されていれば、それぞれのFPGAモジュール0027に同一のコンフィギュレーションデータ0073-1をプログラムすることができる。

【0068】

図15に示すように、FPGAモジュール0027の上部に搭載可能なようなコンフィギュレーションボード0067を使う場合には、コンフィギュレーションボード0067のみを乗せかえることもできるし、コンフィギュレーションボード0067に入力するFPGAモジュール0027のコンフィギュレーションデータ0073-1のみを共有し、コンフィギュレーションボード0067、FPGAモジュール0027をボード0010-1と0001-1に別々に用意することも可能である。

【0069】

ところで、FPGAモジュール0027を0010-1、0001-1で共有するためには、FPGAモジュール0027にプログラムされた論理と外部（周辺部品など）とのインタフェースをボード0010-1、0001-1で同一としなければならない。FPGAモジュール0027の外部インタフェースは、図11の処理（ステップS0904）によりFPGAモジュール上のコネクタのピンへの割り当てが決定される。前述したように、このコネクタのピンへの割り当てはボード0001-1の基板の配線をもとに決定することが一般的である。このため、ボード0010-1側において、少なくともFPGAモジュールのすべてのピンに対して任意の信号を入出力可能とする必要があるが、ボード0010-1上で、FPGAモジュールのすべてのピンとブリッジ回路0011とを直結接続しておき、かつ後述のように汎用プロセッサ側でFPGAモジュールのピン情報とデータ情報とをセットで送受信することにより、全てのピンに対してブリッジ回路を介した汎用プロセッサから信号の入出力が可能となる。

【0070】

FPGAモジュールにプログラムした論理の外部インタフェースにあわせて、汎用プロセッサ上の論理シミュレータとFPGAモジュールとで信号を送受信する方法を説明する。FPGAモジュールにプログラムした論理の外部インタフェースは、FPGAモジュール上のコネクタのいずれかのピンに割り当てられている。汎用プロセッサとブリッジ回路間のデータ転送において、例えばFPGAモジュール上のコネクタのピンに、予め番号を割り当てておき、その番号の順番に各信号の値を論理シミュレータ側でセットしてブリッジ回路に送信、ブリッジ回路でセットして論理シミュレータ側で受信すれば、FPGAモジュールにプログラムした論理の外部インタフェースがどのようなピン割り当てになっても、論理シミュレータ側に予めコネクタピンに割り当てた番号と外部インタフェース信号との対応を入力することにより、各コネクタピンに割り当てられた信号の変化を、論理シミュレータとFPGAモジュールで送受信することが可能となる。

【0071】

図16には、この発明に係るFPGAモジュールと論理シミュレータとの間で信号対応付けを行う手法を説明する構成図が示されている。0027はFPGA

モジュールであり、0011はFPGAモジュール0027と汎用プロセッサ0013の間のデータ送受信を受け持つブリッジ回路である。0096は、汎用プロセッサ0013上で動作する論理シミュレータである。0097は、FPGAモジュール0027における論理の外部インタフェースのコネクタピン割り当てた結果であり、0098は、FPGAモジュール0027のコネクタピンに番号を割り当てた対応表である。0099は、FPGAモジュール0027における論理の外部インタフェースと対応表0098で定まるコネクタピンに与えられた番号との対応表であり、上記ピン配置結果0097と対応表0098から作られる。

【0072】

例えば、上記FPGAモジュール0027に、1#A1、2#E1、3#X1というピンが存在するとし、前記図11のステップS0904における処理で、ピン1#A1にポートA、ピン2#E1にポートBが割り当てられ、ピン3#X1は割りあてなしとなったとする。また、FPGAモジュール0027のコネクタピンが番号付けされた表が予め用意されているとする。

【0073】

図11のステップS0904における処理結果として上記のピン1#A1にポートA、1#E1にポートBが割り当てられ、ピン3#X1は割りあてなしの結果を得、この処理結果とFPGAモジュールのコネクタピンに与えられた番号1、2、3のそれぞれに対応した1#A1、2#E1、3#X1とFPGAモジュールの外部インタフェースとの対応表（ピン番号1はポートA、2はポートB）を作成する。その後、論理シミュレータ0096に上記対応表（ピン番号1はポートA、2はポートB）を入力することで、論理シミュレータがその対応付けに従った順番でブリッジ回路0011と信号を送受信する。

【0074】

この際、3#X1に関しては、ダミーのデータを送受信する。または、論理シミュレータとブリッジ回路との間で、この番号3#X1と信号値をセットで送受信しても良い。ブリッジ回路は、予めFPGAモジュール0027のピンと番号との対応を記憶しておくことにより、前記いずれかの方法で受信したデータを、

FPGAモジュールの所定のピンに出力することができる。また、この予め記憶されたFPGAモジュールのピンと番号との対応に従ってFPGAモジュールから取得した信号を番号順に並べ、または番号とセットにして汎用プロセッサに送信することも同様に可能である。この手法を取ることにより、FPGAモジュールは、ボード0010-1のブリッジ回路とFPGAモジュール0027との物理的な接続に関わらず、自由にボード0001-1の基板にあわせて論理のポートに対するコネクタピン割りあてが可能となり、その結果ボード0010-1と0001-1でのコンフィギュレーションデータの共有が可能となる。

【0075】

しかし前述したように、ボード0010-1にプログラムする論理のポートに双方向信号があった場合、論理シミュレータ側がその双方向信号の方向を認識できない場合があるため、その双方向信号の方向制御信号を、FPGAモジュール0027内から取得し、論理シミュレータ側に送信することが必要となる。この問題の解決策として、FPGAモジュールのコネクタのピンに対し、その双方向信号の方向制御信号をポートとして論理に追加し、論理シミュレータ側に送信する方法が考えられる。この場合、前述したようにFPGAモジュールの切り口が検証対象論理と異なり、またピン数も増加してしまう。これを防ぐ方法として、本願では以下のような双方向信号の方向制御信号転送方法を開発した。

【0076】

図17には、検証対象論理に双方向信号の方向制御信号を追加する例の説明図が示されている。0042-1は、複数のFPGAまたはFPGAモジュールにプログラムする論理の最上位階層を表す。0043～0047は、論理の各機能を実現する機能ブロックを表す。この実施例では機能ブロックが最上位階層下にあるが、最上位階層と機能ブロックの間に複数機能をまとめた階層があっても良い。機能ブロック間は、お互いに信号を送受信するためのネットで結合されている。0048～0051は、最上位階層のポートを表し、論理と外部とのインターフェースである。0103～0105は、それぞれポート0049、0050、0051に接続されたI/O双方向セルである。0106、0107は、I/O双方向セル0103～0105の方向制御信号を、ブリッジ回路経由で汎用プロ

セッサに送信するために追加したポートである。

【0 0 7 7】

図 1 8 には、この発明に係るブリッジ回路と F P G A モジュール間の一実施例のブロック図が示されている。図 1 8 の回路は、双方向信号の方向制御信号を、その信号が制御する双方向信号の接続を用いて時分割で F P G A モジュールからブリッジ回路に送信する。回路 0 0 7 8 (A)、0 0 7 9 (B) を F P G A モジュールにプログラムされる論理の双方向信号の I / O 記述個所に予め挿入しておく。この回路 0 0 7 8 (A)、0 0 7 9 (B) は 2 つの機能を持つ。

【0 0 7 8】

1 つは、信号 (mode) 0 0 7 6 に関する機能であり、もう 1 つは信号 (re) 0 0 7 7 に関する機能である。信号 (mode) 0 0 7 6 に関する機能は、信号 (mode) が例えば論理値 '0' の時には回路挿入前の論理動作を行い、論理値 '1' の時には時分割で双方向信号の方向制御信号と双方向信号自身を転送する動作を行うといったように、2 つの双方向ポートの動作を切り替える機能である。このモードを切り替えることで、論理エミュレーション時には、本来の論理動作を行い、論理シミュレーションの加速を行う場合にはピンを増やさずに双方向信号の方向制御信号を、双方向信号と対応付けてブリッジ回路に渡すことが可能となる。信号 (mode) 0 0 7 6 は、ブリッジ回路および、論理エミュレーションマザーボードから、それぞれの値を設定する。

【0 0 7 9】

一方、信号 (re) に関する機能は、時分割で双方向信号の方向制御信号と、双方向信号自身を転送する動作が選択された場合に、双方向信号と方向制御信号の送信タイミングがブリッジ回路から F P G A モジュールに送信され、その信号変化に従って双方向信号と方向制御信号をそれぞれブリッジ回路に送信する機能である。図 1 8 の回路では、信号 (re) 0 0 7 7 が双方向信号と方向制御信号の送信タイミングを表す信号であり、信号 (re) 0 0 7 7 の論理値 '1' の場合に方向制御信号が、それ以外では双方向信号自身が送信されるようになっている。信号 (re) 0 0 7 7 は、論理シミュレーションの加速の場合にブリッジ回路からそれぞれの値を設定する。論理エミュレーションにおいては、マザーボード上で信号

(re) 0077は、論理値 '0' または '1' に固定しておけば良い。上記回路 0078と0079の回路動作を表した真理値表が、次の真理値表1と2に示されている。

【0080】

真理値表1

M	R	E	O I	O O	
0	—	—	0 / 1	O I	
1	1	1 / 0	—	E	
1	0	—	0 / 1	O I	

【0081】

真理値表2

M	R	E	E O		
0	—	1 / 0	E		
1	1	—	0		
1	0	1 / 0	E		

【0082】

一方、ブリッジ回路側では、FPGAモジュールから送られてくる双方向信号と方向制御信号をそれぞれ切り分けて取得するための回路0080（C）を持つ。回路0080は、信号（re）が論理値‘1’の場合にFPGAモジュールから送信されてくる方向制御信号を記憶するための記憶素子0081を持つ。回路0080は、信号（mode）が論理値‘0’の時には、FPGAモジュールから読み出す方向制御信号ではなく、論理シミュレータ側から送信される方向制御信号の値をもとにブリッジ回路のI／Oの方向制御を行う。信号（mode）が論理値‘1’の時には、FPGAモジュールから読み出した方向制御信号の値をもとにブリッジ回路のI／Oの方向制御を行う機能を持つ。また、信号（re）が論理値‘1’の場合に方向制御信号を読み出すためにブリッジ回路のI／Oの方向を、ブリッジ回路から見て入力の方方向に設定する機能を持ち、読み取った値を記憶素子0081に記憶する。回路0080と記憶素子0081の動作を表した真理値表が、次の真理値表3と4に示されている。

【0083】

真理値表3

M	R	EP	NE	EO
0	—	0／1	—	EP
1	1	—	—	1
1	0	—	1／0	NE

【0084】

真理値表4

C	R	I		NE
↑	1	1/0		I
↑	0	—		保持

【0085】

回路0082は、論理シミュレータ側が各双方向信号の方向を認識している場合に、論理シミュレータ側からその双方向信号の方向を信号値と同様の方法で取得し、信号(mode)を論理値‘1’とした場合にFPGAモジュールから送られてくる双方向信号の方向制御信号の値と比較する回路である。この比較の結果不一致が発生した場合、論理シミュレータ上の回路とFPGAモジュールにプログラムした論理間で、信号の衝突が発生していることを意味する。この比較結果を例えば、汎用インタフェース経由でブリッジ回路から読み出すことにより、双方向信号の衝突が検出可能となる。なお、この比較は汎用プロセッサ上で実行しても良い。

【0086】

図19には、図18の実施例回路の動作を説明するためのタイミングチャート図が示されている。同図において、双方向信号の方向制御信号を、その信号が制御する双方向信号の接続を用いて時分割でFPGAモジュールからブリッジ回路に送信する場合の、ブリッジ回路とFPGAモジュール間のワイヤ0073-2の信号変化を説明する。まず、論理シミュレーションを加速する場合の、ブリッジ回路とFPGAモジュールにおけるクロック信号について説明する。ブリッジ回路のクロックは、汎用インタフェースとデータをやり取りするため、汎用インタフェースにあわせたクロック周波数で動作する。

【0087】

一方、FPGAモジュールのクロックは、汎用プロセッサから、汎用インタフェース、ブリッジ回路を経由してプログラムした論理に対する入力信号が送られてくるため、その送信タイミングに従ってクロックを動作させる必要がある。このため、ブリッジ回路側からFPGAモジュールに対してクロック波形を送信するか、クロックイネーブルを送信する手法が取られる。FPGAモジュールにプログラムされた論理は、1つまたは複数のクロック変化に従って内部のレジスタの値を更新し、また、出力を変化させる。このため、ブリッジ回路とFPGAモジュールとの間の信号送受信は、例えば次の順序で行われる。

【0088】

- (1) FPGAモジュールへの信号入力
- (2) FPGAモジュールのクロックを変化させる
- (3) FPGAモジュールからの出力信号の読み取り

【0089】

双方向信号の方向制御信号をFPGAモジュールから読み出すタイミングは、上記(2)と(3)の間で行う。図18では、最初の状態ではFPGAモジュール側のイネーブルすなわち制御信号が論理値‘0’（ロウレベル）となっており、ブリッジ回路側のイネーブルが論理値‘1’（ハイレベル）となっている。FPGAモジュール、ブリッジ回路のI/Oセルが共にロウアクティブ（Low-Active）である場合、この状態は、FPGAモジュールが出力であることを表す。このため、この時点でのワイヤ0073-2の信号値は、FPGAモジュールから出力される双方向信号の論理値となっている。この状態は、上記の(1)の状態である。

【0090】

次に上記(2)の状態に移行し、FPGAモジュールに対してクロックが発行される。すると、このクロック変化に従いFPGAモジュール側のイネーブルが次のサイクルの値に変化する。図19の場合、論理値‘0’から‘1’に変化している。しかし、ブリッジ回路側では、まだFPGAモジュールにおけるイネーブルの変化を読み取っていないため、論理値‘1’のままである。ブリッジ回路側は、

FPGAモジュールに対してクロックを発行した後、FPGAモジュールが変化したクロックによって動作を確定するのに十分な時間を置いて、そのクロック変化に従ったサイクルのFPGAモジュール側のイネーブルの状態を読み出すために、信号(re)を論理値‘1’に変化させる。

【0091】

すると、一時的に信号方向がFPGAモジュールが出力でブリッジ回路側が入力となるように設定され、ワイヤ0073-2にFPGAモジュールから出力されるFPGAモジュールにおけるイネーブルの論理値をブリッジ回路が取りこむ。すなわち信号(re)が論理値‘1’のときに、ワイヤ0073-2はFPGAモジュールにおけるイネーブルの論理値‘1’となり、この値をブリッジ回路が取りこむ。取りこみ終わった後、ブリッジ回路は信号(re)を論理値‘0’に戻し、かつ、FPGAモジュールにおけるイネーブルの論理値が‘1’であることからFPGAモジュールが入力となったことを検出し、自身の方向制御を出力側すなわち論理値‘0’に変更する。すると、ワイヤ0073-2には、ブリッジ回路からの出力値がドライブされる。これら一連の処理を繰り返すことで、クロック変化により値が変更されるFPGAモジュールにおけるイネーブルの値をブリッジ回路のI/O制御に反映させることができる。

【0092】

この手法は、双方向信号数に依存せず信号(mode, re)の2本の信号を論理に追加するだけで良いため、従来の方向制御信号をポートに追加する手法に比べ、検証対象論理のインタフェースに対する変更の度合いが少なく、また信号(mode, re)を論理エミュレーションにて設定することで同じコンフィギュレーションデータを論理シミュレーションの加速と論理エミュレーションで使うことができるという利点がある。

【0093】

図20には、この発明に係るブリッジ回路とFPGAモジュール間の他の一実施例のブロック図が示されている。図20の回路は、検証対象論理のインタフェースに対する変更がなく、また検証対象論理に全く手を加えないように工夫されている。この実施例の特徴は、ブリッジ回路側の、FPGAモジュールとのイン

タフェースを持つ I/Oセル 0089 の出力バッファの駆動力を、FPGA モジュールのそれ 0090 よりも十分に弱いものとし、一時的にブリッジ回路と FPGA モジュール間のワイヤ 1304 において信号を衝突させ、その時の信号変化を読み取ることにより、FPGA モジュール側の双方向信号の方向を判定するというものである。

【0094】

図 21 には、上記 20 の信号方向の判定方法を説明するためのレベル設定図が示されている。駆動力の強い出力バッファと駆動力の弱い出力バッファとで信号が衝突した場合、同図のように、両者の出力値が同一ならば、信号の電位はその出力値に従う。また異なる値の場合には、駆動力の強い出力バッファのドライブした値に近い電位をとる。前記図 20 回路の場合、ブリッジ回路側では FPGA モジュールに比べて十分に弱い出力バッファを使用しているため、ブリッジ回路の I/Oセルの H/L (ハイレベル/ロウレベル) 両方のスレッショールドよりも駆動力の強い出力バッファがドライブする値により近い電位となる。この結果、ブリッジ回路の I/Oセルでは H 側のスレッショールドよりも電位が高ければ論理値 '1'、L 側のスレッショールドよりも電位が低ければ論理値 '0' が取りこまれる。

【0095】

これにより、ブリッジ回路から H (論理値 '1')、L (論理値 '0') の 2 値を出力すれば、FPGA モジュール側が値を出力していた場合にはどちらかが出力値と異なる値となり、出力していない場合には出力した値がそのまま読込まれるため、FPGA モジュール側の信号方向をブリッジ回路側で判定することが可能となる。この判定を行う回路が図 20 の回路 0090 である。また回路 0091 により、判定した結果をブリッジ回路側の I/Oセルの方向制御に反映させる。なお、図 18 の実施例回路と同様に、論理シミュレータ側が各双方向信号の方向を認識している場合に、回路 0092 にて、論理シミュレータ側からその双方向信号の方向を信号値と同様の方法で取得し、回路 0090 の判定結果と比較することで、双方向信号の衝突が検出可能である。

【0096】

図 22 には、図 20 の実施例回路の動作を説明するためのタイミングチャート図が示されている。ブリッジ側の I/O セルの状態と F P G A モジュール側の I/O セルの状態を説明する。ブリッジ回路と F P G A モジュールのクロックについては、前記図 19 で説明した通りである。このタイミングチャートの最初の状態では、図 19 と同様に、F P G A 側モジュールが出力、ブリッジ回路側が入力となっている。

【0097】

F P G A モジュールのクロック変化により、F P G A 側モジュールが論理値 '0' から '1' に変化する。ブリッジ回路側では、クロックを発行した後、F P G A モジュールが変化したクロックによって動作を確定するのに十分な時間を置いて、そのクロック変化に従ったサイクルの F P G A モジュール側のイネーブルの状態を読み出すために、最初に論理値 '1' を次に論理値 '0' をワイヤ 0073-2 に出力する。なお、この際、論理値 '0'、'1' の順に信号を出力しても構わない。この信号の出力タイミングは、図 19 の信号 (re) の発行タイミングと同じである。

【0098】

同図に示した例の場合、F P G A の I/O は入力 (I) となっているため、状態は H i - Z (出力ハイインピーダンス) である。このため、ワイヤ 0073-2 上の信号値は、ブリッジ回路側で読込むと論理値 '1' 出力時には論理値 '1'、'0' 出力時には論理値 '0' となる。この場合は、ブリッジ回路の出力バッファ 0088 の出力値に対応してリードデータが変化するので、ブリッジ回路側は出力と判定される。

【0099】

次のクロック変化で、F P G A モジュール側のイネーブルが論理値 '0' に変換し、F P G A モジュール側の I/O が出力に変化する。ブリッジ回路は、そのクロック変化サイクルでの F P G A モジュール側のイネーブルの状態を読み出すために、出力バッファ 0088 により再び最初に論理値 '1' を出力し、次に論理値 '0' をワイヤ 0073-2 に出力する。F P G A の I/O は出力となっているため状態は、出力バッファ 0089 が出力する論理値 '0' または '1' のままとなる

【0100】

同図の例の場合は、出力バッファ0089の出力が論理値‘0’であるから、ブリッジ回路側で読込むと出力バッファ0088から論理値‘1’出力してもリードデータは‘0’、論理値‘0’出力してもリードデータは‘0’となる。この場合は、ブリッジ回路側は入力と判定される。これら一連の処理を繰り返すことで、クロック変化により値が変更されるFPGAモジュールにおけるイネーブルの値を、図18の回路と同様にブリッジ回路のI/O制御に反映させることができる。

【0101】

以上、述べたような手法をとることにより、検証対象論理のインタフェースに双方向信号があってもインタフェースを論理に依存して変更することがなく、また、FPGAモジュールを使用すること、FPGAモジュールのコネクタのピンに対する論理信号割りあてを論理エミュレーションマザーボードに合わせることで、物理位置を含めて論理エミュレーションと論理シミュレーションの加速とでFPGAモジュールのインタフェースを一致させることができる。これらにより、論理エミュレーションと論理シミュレーションの2つの検証工程において、同一のFPGAモジュールと同一のコンフィギュレーションデータを使用することが可能となる。なお、FPGAモジュールは、同タイプを個別に用意し、同一のコンフィギュレーションデータを使用することも可能である。

【0102】

以上説明した実施例においては、論理エミュレーションと論理シミュレーションの2つの検証工程において、同一のFPGAモジュールと同一のコンフィギュレーションデータを使用することが可能であるため、2つの検証工程で個別にデータを用意する必要がない。すなわち、図11のステップS0901からステップS0905までの作業をステップS0103で実施しておけば、ステップS0106ではこの作業を行う必要がないため、論理シミュレーションの加速から論理エミュレーションへの移行がスムーズに行える。

【0103】

また、ステップS0901からステップS0905での作業ミスなどにより論

理シミュレーションの加速は正しく動作するが論理エミュレーションは動作しないまたはその逆の現象は発生せず、また、論理シミュレーションの工程においてある程度確認されたデータで論理エミュレーションを実行できるため、論理エミュレーションの立ち上げが容易である。このため、ステップS0103とステップS0106の2工程での検証工数を大幅に削減することができる。

【0104】

また、論理エミュレーションでの周辺部品とのインタフェースの不具合を、論理シミュレーションに戻って解析、確認することもできる。さらに、論理エミュレーションでしか検出できなかった双方向信号の衝突を、論理シミュレーションで先に検出することが可能となる。

【0105】

上記効果は、図1のステップS0103とステップS0106において使用するFPGAモジュールを共有する場合と、コンフィギュレーションデータのみを共有し、個別のFPGAモジュールを使用する場合との共通の効果であるが、コンフィギュレーションデータのみを共有する場合には、更に、ステップS0103とステップS0106の実施期間をある程度並走させることができ、論理検証期間の短縮が図れるという効果がある。また、離れた場所で作業している場合でも、データを送る手段（例えばインターネット）があれば論理シミュレーションの加速と論理エミュレーションが同一のデータを使って実施できる。

【0106】

上記のように論理シミュレーションの加速と論理エミュレーションが、同一のFPGAモジュールで、論理データを変更することなしに実現できる。つまり、FPGAモジュール搭載論理の切り口を変更する必要がある。H/WとS/Wを連結するための論理の内容、タイミング、インタフェースが論理に依存して変更されないため、論理側のタイミング設計が容易となる。つまり、H/WとS/Wを連結するための論理が、FPGAモジュール搭載論理に依存しないため、論理に合わせて作成し直す必要がない。S/W側で、双方向ポートに対するイネーブル情報を持っている場合に、この情報とFPGAモジュールから読み出した情報を比較できるのでバス衝突を検出できる。

【0107】

論理シミュレーションの実行時間の短縮が可能のため L S I 開発における検証フェーズの期間を短縮できる。そして、論理シミュレーションである程度品質が確保された論理を搭載した F P G A モジュールをそのまま論理エミュレーションに適用できるため論理シミュレーションの実行時間の短縮が可能となりテストケースを多く実行できるとともに、論理エミュレーションにより論理シミュレーションでは検出が難しい論理不良を検出できるため L S I 開発において設計品質を向上できる。

【0108】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、F P G A モジュールやブリッジ回路等とそれに関連する各回路の具体的構成は種々の実施形態をとることができる。この発明は、論理検証システムとして広く利用できる。

【0109】**【発明の効果】**

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。論理シミュレーション加速装置と、論理エミュレーション装置での検証工程に用いられる F P G A モジュールとブリッジ回路間において、F P G A モジュールの全ピンを直結配線し、かつ論理シミュレーションの加速を行う場合に、F P G A モジュールの外部インタフェースコネクタに検証対象論理の切り口を割り当て、上記 F P G A モジュールの外部インタフェースコネクタの各ピンと論理信号との対応付けを汎用プロセッサ上の論理シミュレータ上で行うようにすることにより、開発時間を改善し設計品質を向上させることができる。

【図面の簡単な説明】**【図1】**

この発明が適用される L S I における設計及び検証方法を説明するためのフローチャート図である。

【図 2】

この発明に係る論理エミュレーションシステムの一実施例を示す構成図である。

【図 3】

この発明に用いられる F P G A モジュールの一実施例を示すブロック図である。

【図 4】

この発明に係る論理シミュレーションアクセラレータの一実施例を示す構成図である。

【図 5】

この発明に用いられる F P G A モジュールに実現する検証対象論理を説明するためのブロック図である。

【図 6】

検証対象の論理を F P G A モジュール上の複数の F P G A に割り当てた実施例を示すブロック図である。

【図 7】

論理エミュレーション装置の複数 F P G A に論理を割り当てた例を示す参考図である。

【図 8】

スイッチングデバイスを搭載した論理エミュレーション装置の複数 F P G A に論理を割り当てた例を示す参考図である。

【図 9】

論理シミュレーションの加速装置の複数 F P G A に論理を割り当てた例を示す参考図である。

【図 1 0】

複数の F P G A を搭載した F P G A モジュールに前記図 5 の論理を割り当てた例を示すブロック図である。

【図 1 1】

F P G A をモジュールに論理をプログラムする方法の一例を簡単に説明するた

めのフローチャート図である。

【図 1 2】

この発明に係る F P G A モジュール及び F P G A モジュール搭載ボードの接続例を説明するための外観図である。

【図 1 3】

この発明に係る F P G A モジュール及び F P G A モジュールコンフィギュレーションボードの接続例を説明するための外観図である。

【図 1 4】

この発明に係る論理シミュレーションを加速する装置と論理エミュレーション装置とで F P G A モジュールのデータの共有例を示す説明図である。

【図 1 5】

この発明に係る論理シミュレーションを加速する装置と論理エミュレーション装置とで F P G A モジュールのデータの共有例を示す説明図である。

【図 1 6】

この発明に係る F P G A モジュールと論理シミュレータとの間で信号対応付けを行う手法を説明する構成図である。

【図 1 7】

検証対象論理に双方向信号の方向制御信号を追加する一実施例を示す説明図である。

【図 1 8】

この発明に係るブリッジ回路と F P G A モジュール間接続の一実施例を示すブロック図である。

【図 1 9】

図 1 8 の実施例回路の動作を説明するためのタイミングチャート図である。

【図 2 0】

この発明に係るブリッジ回路と F P G A モジュール間接続の他の一実施例を示すブロック図である。

【図 2 1】

上記図 2 0 の信号方向の判定方法を説明するためのレベル設定図である。

【図 22】

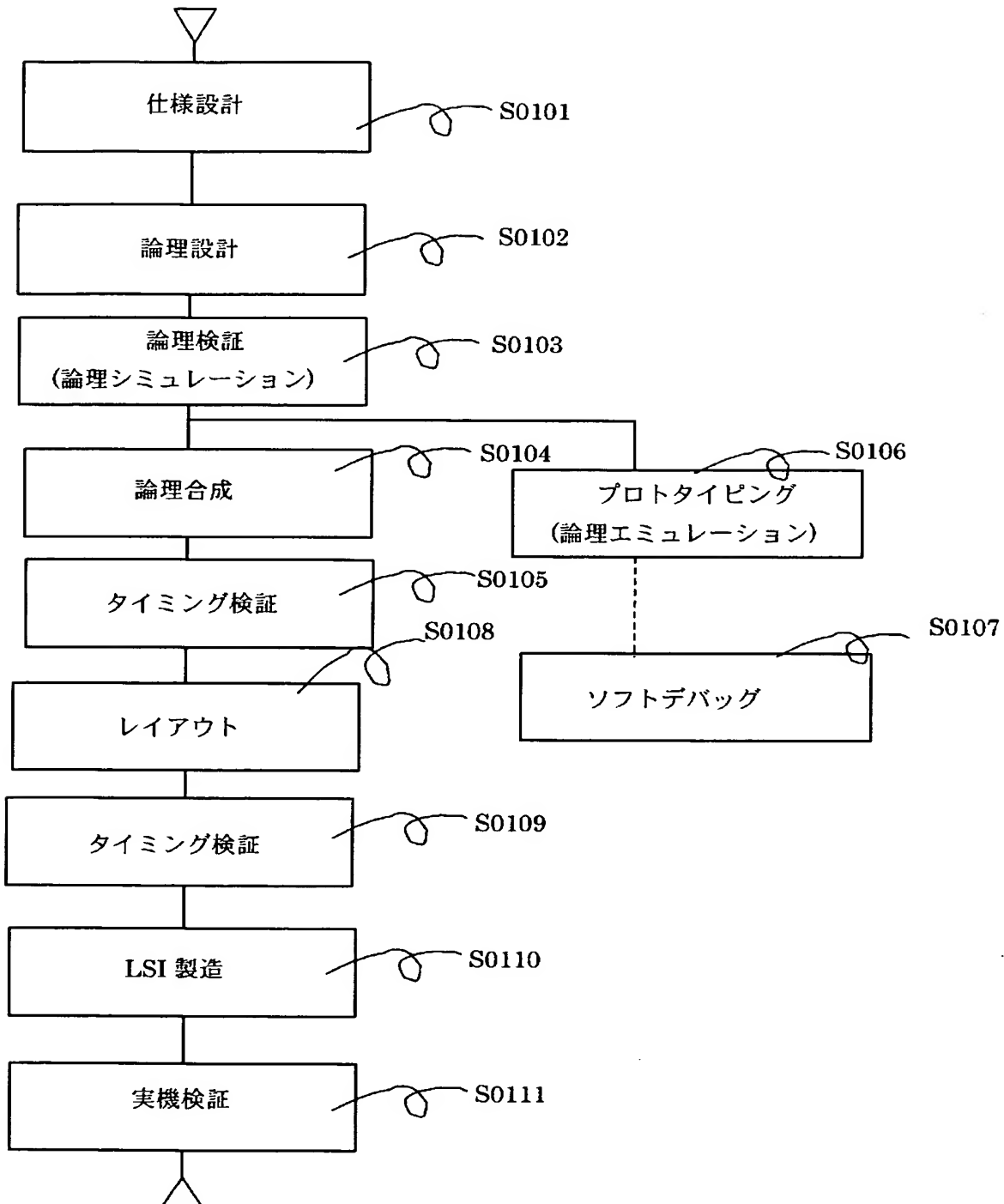
図 20 の実施例回路の動作を説明するためのタイミングチャート図である。

【符号の説明】

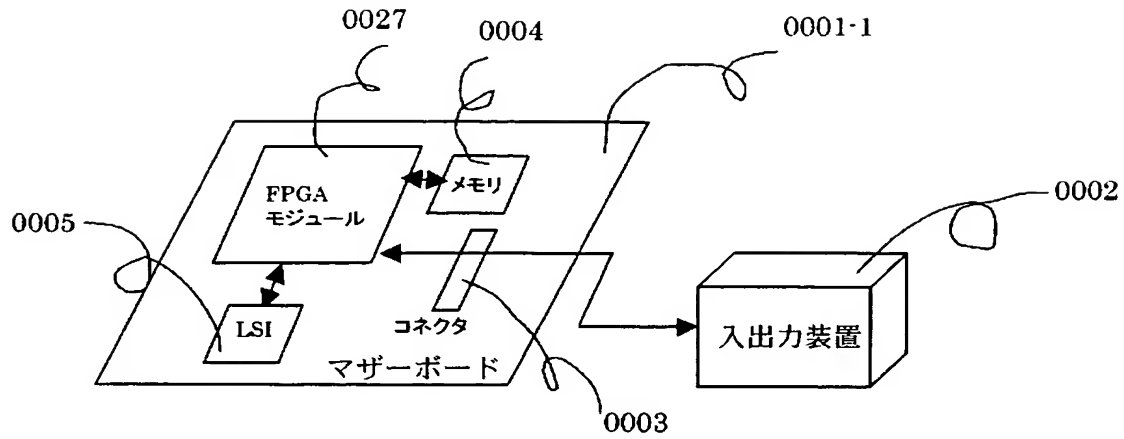
0001…論理エミュレーションマザーボード、0002…信号入力／出力装置、0003…コネクタ、0006～0009…FPGA、0008…既存LSI、0009…メモリ、0011…ブリッジ回路、0013…汎用プロセッサ、0014…ディスク装置、0015…表示装置、0016…入力装置、0027…FPGAモジュール、0028～0031…FPGA、0032～0035…スイッチングデバイス、0036～0039…コネクタ、0040…マザーボード、0041, 0042…ワイヤ、0010-1…論理エミュレーションマザーボード、0043～0047…機能ブロック、0053～0056…ローカルバスインタフェース回路、0057, 0058…ネット、0059～0062…コネクタ、0063…コンフィギュレーションデバイス、0063-1…コンフィギュレーションデバイス、0063～0066…コネクタ、0067…オプションモジュール、0068…コントロールデバイス、0069…メモリ、0070～0073…コネクタ、0073-1…コンフィギュレーションデータ、0073-2…ワイヤ、0074…I/Oセル。

【書類名】 図面

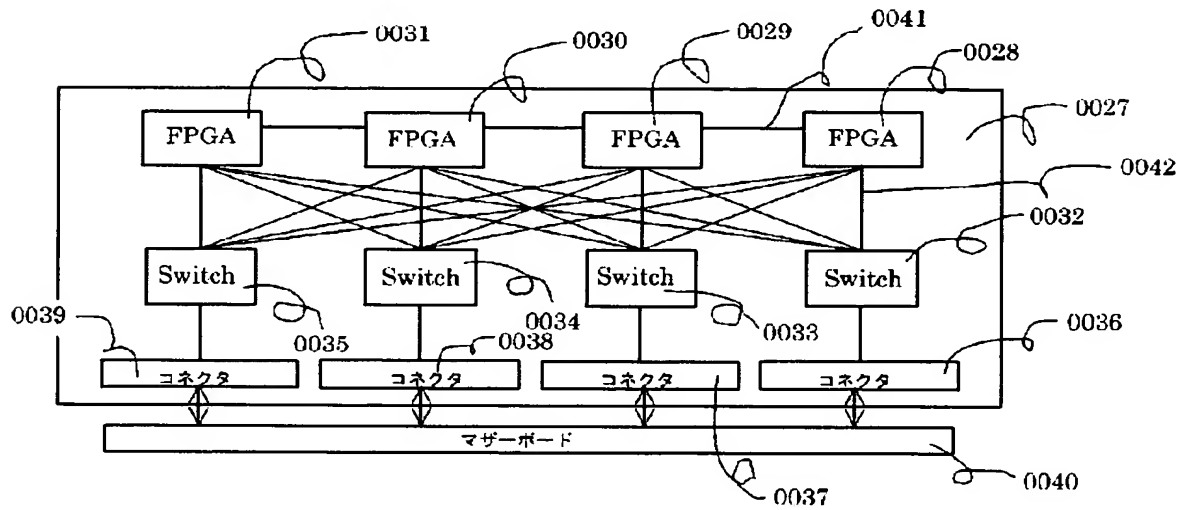
【図 1】



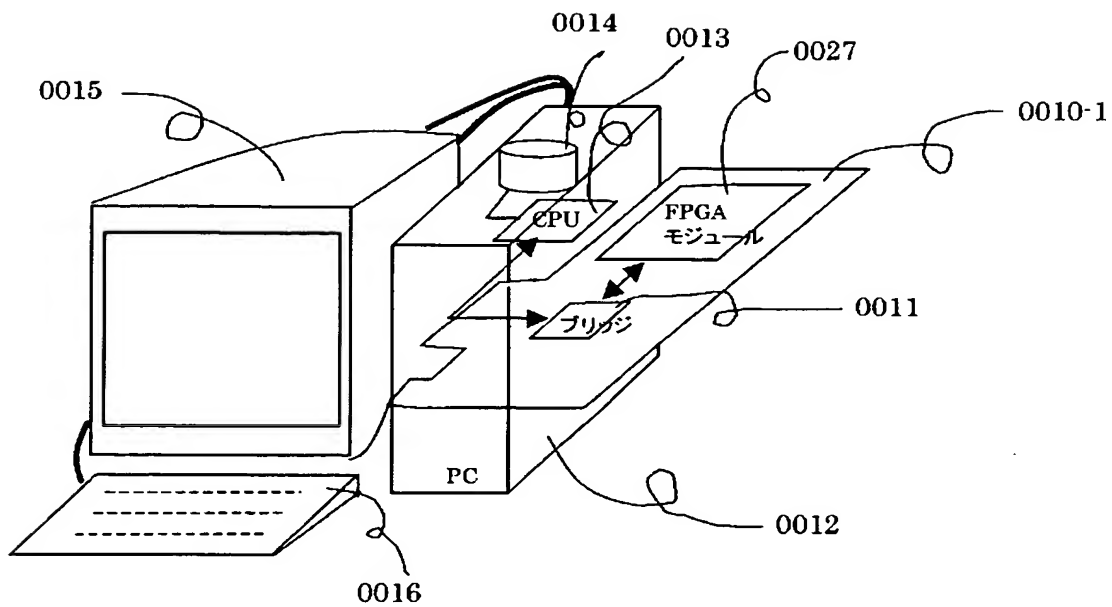
【図 2】



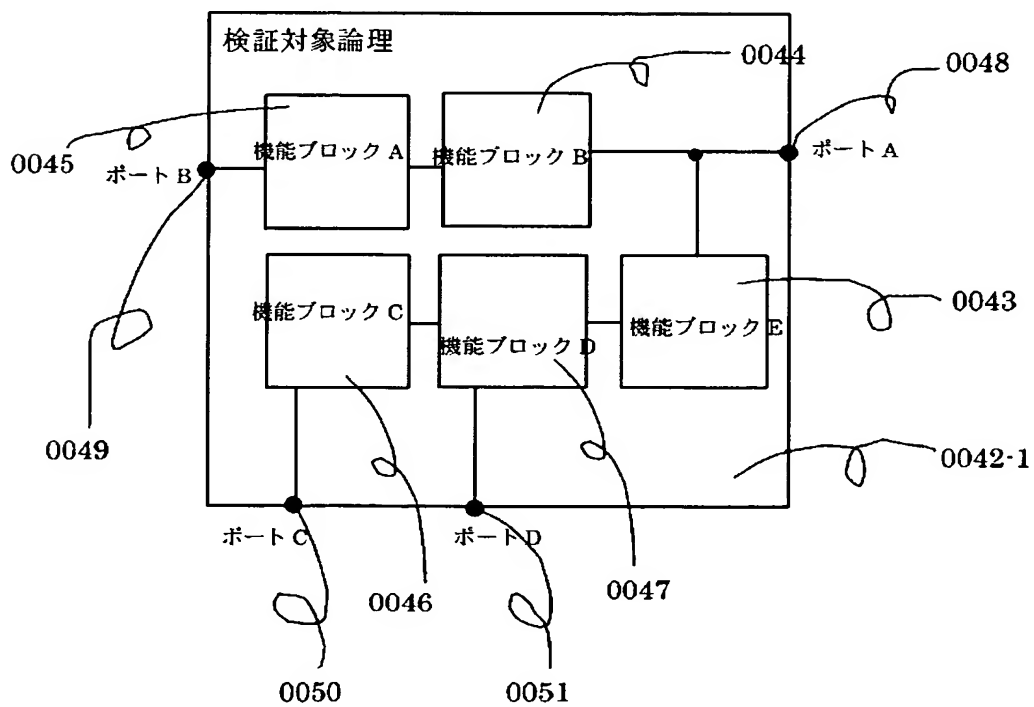
【図 3】



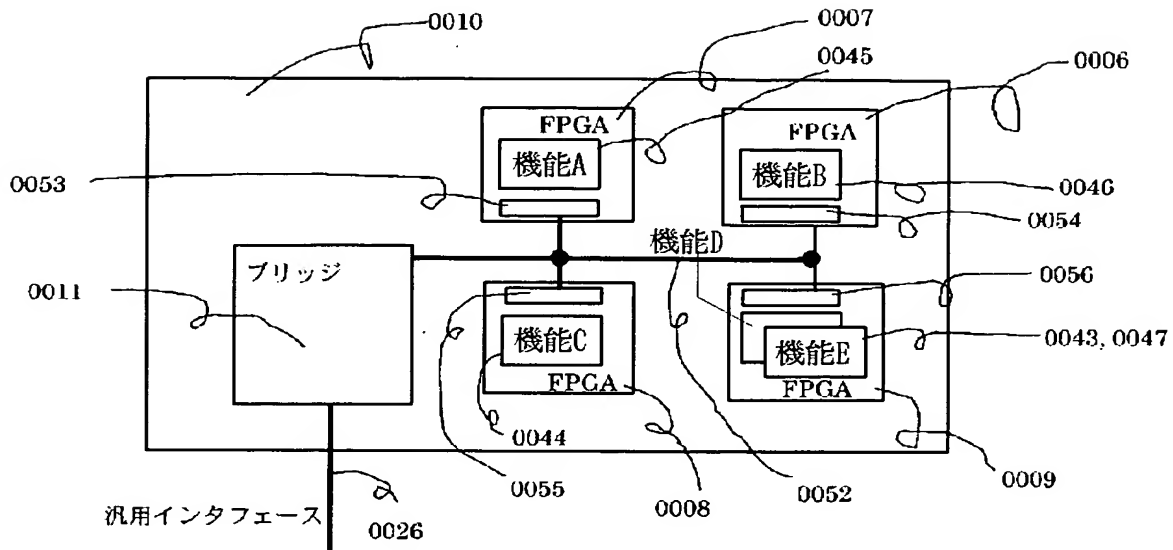
【図 4】



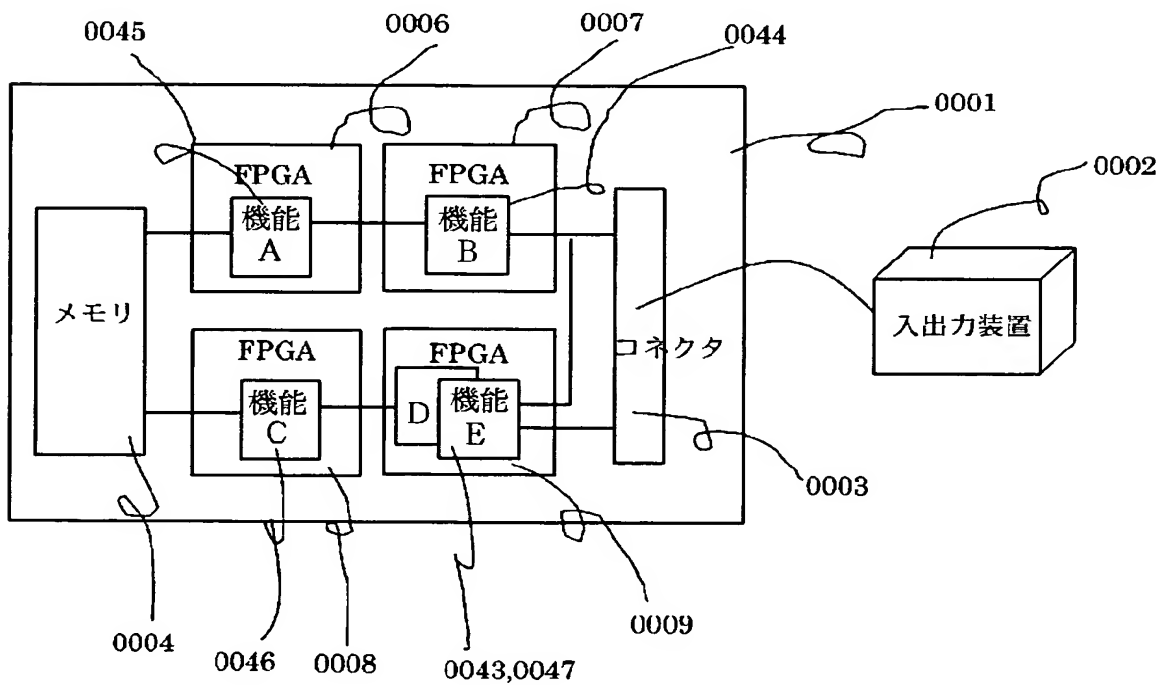
【図 5】



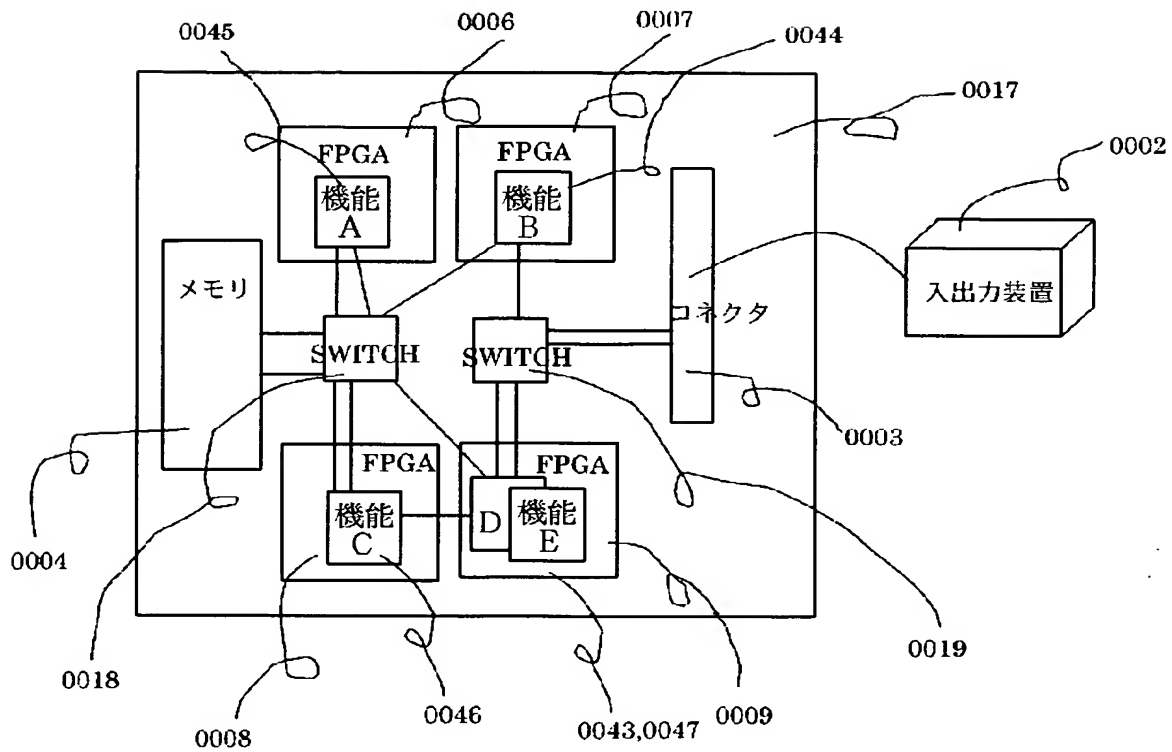
【図 6】



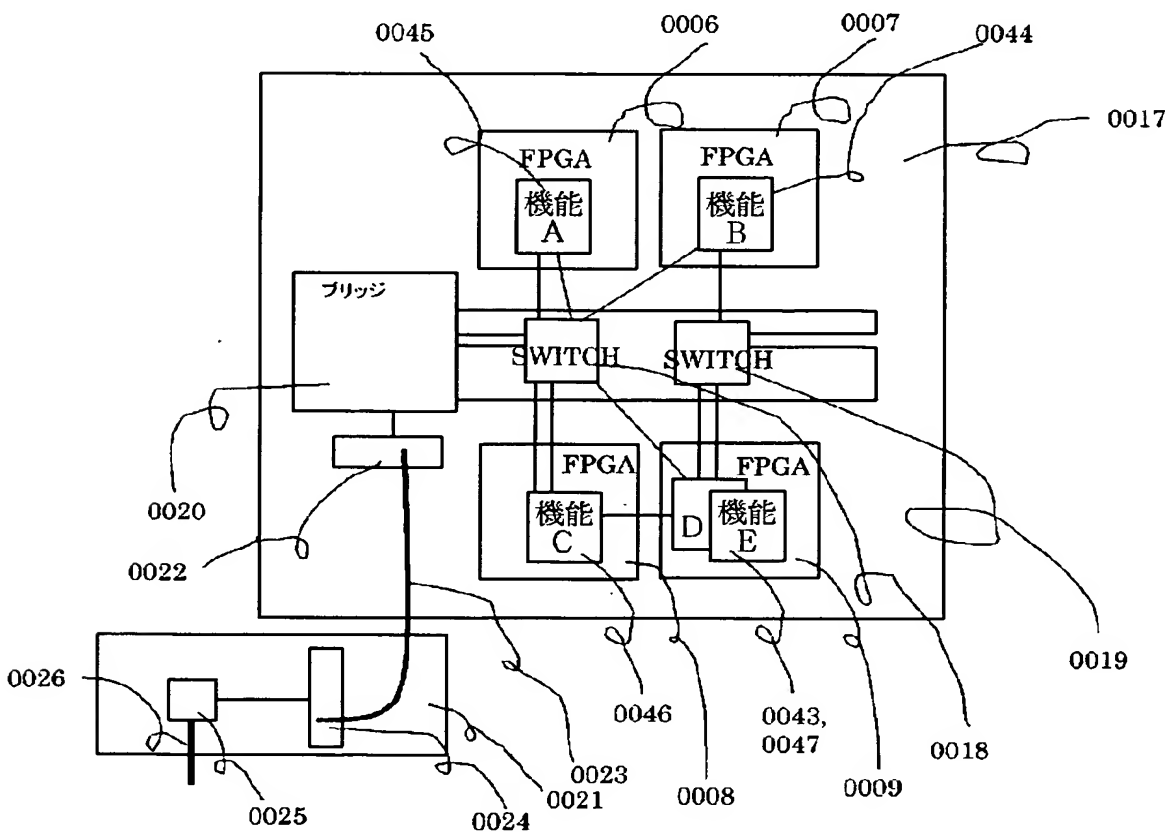
【図 7】



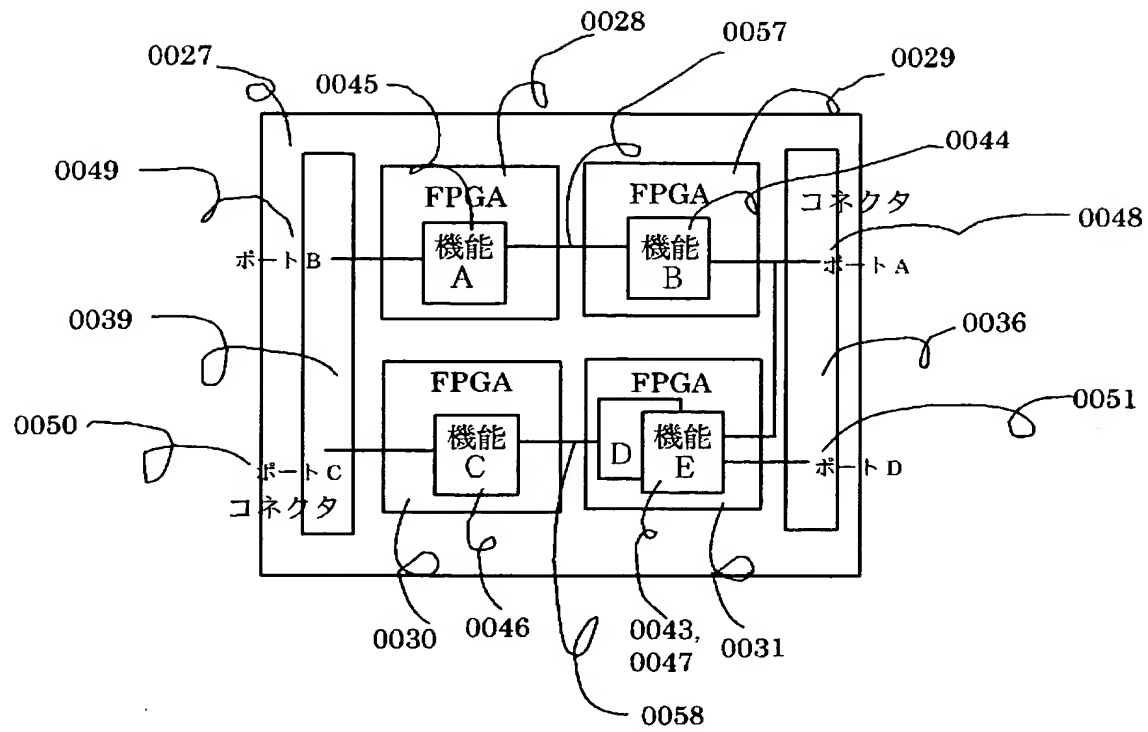
【図 8】



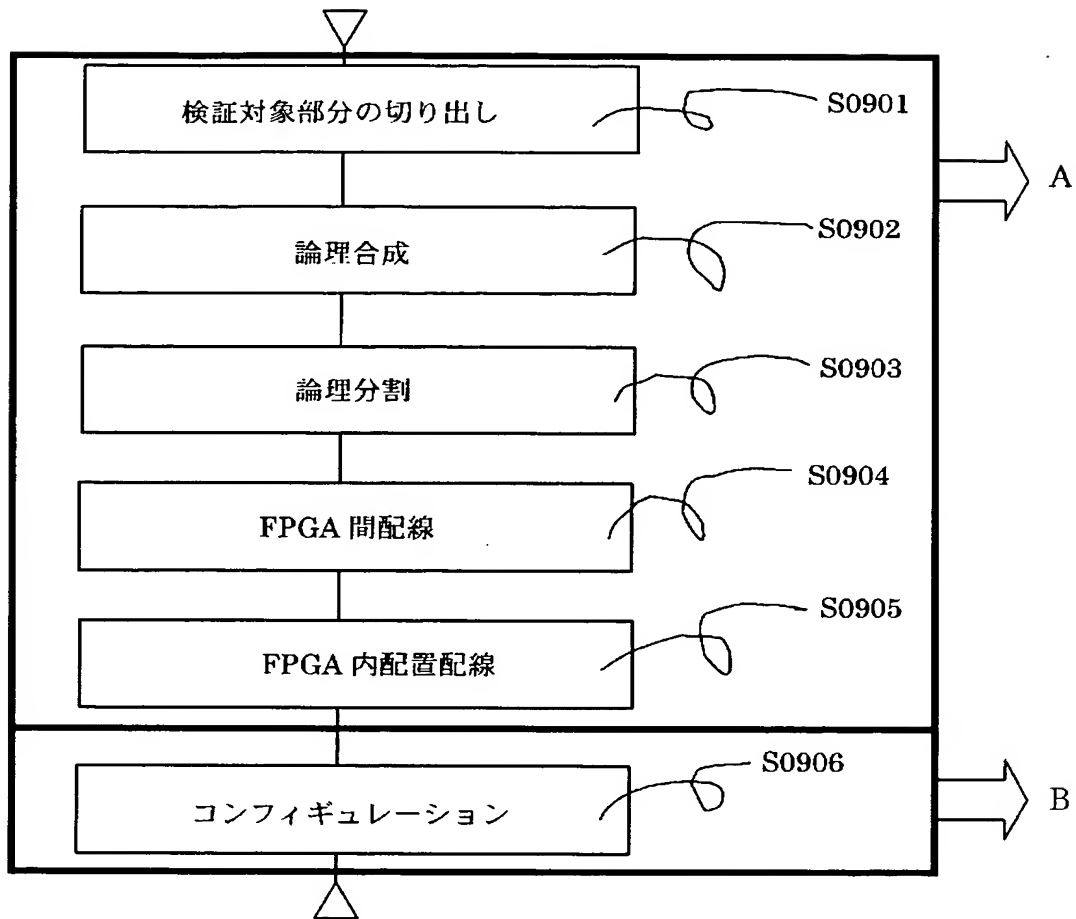
【図 9】



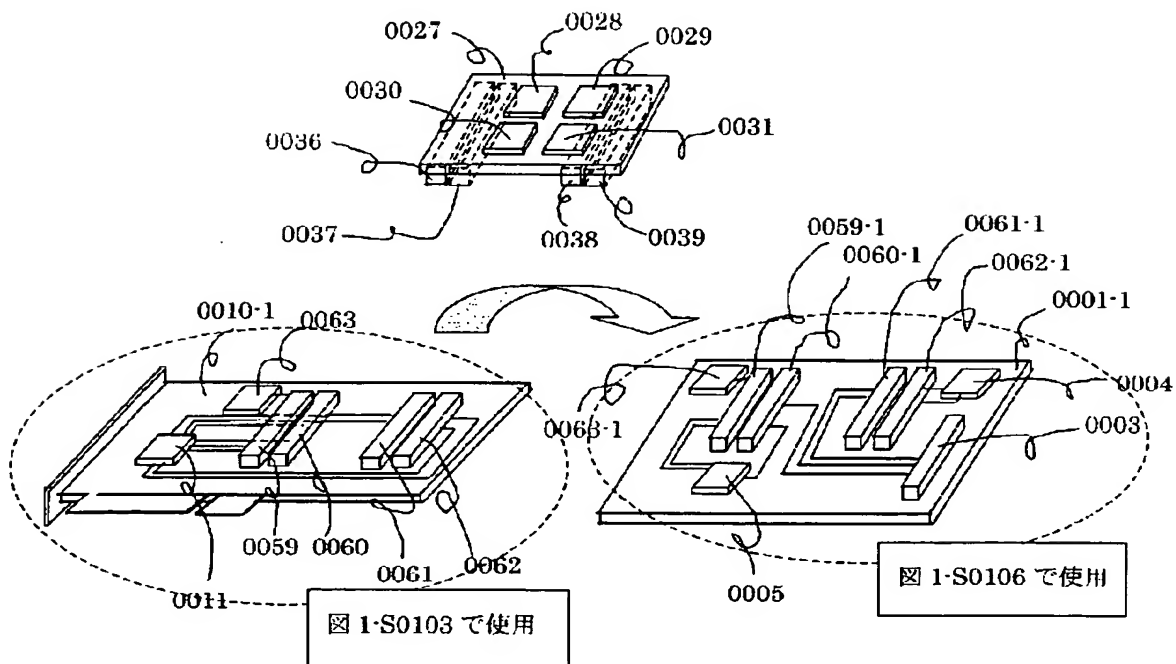
【図 10】



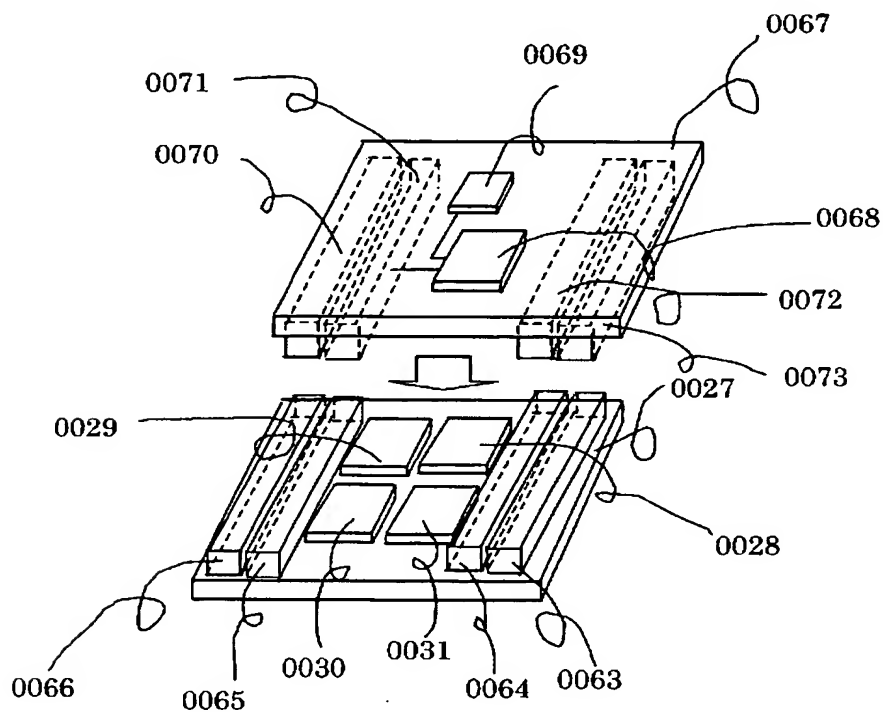
【図 11】



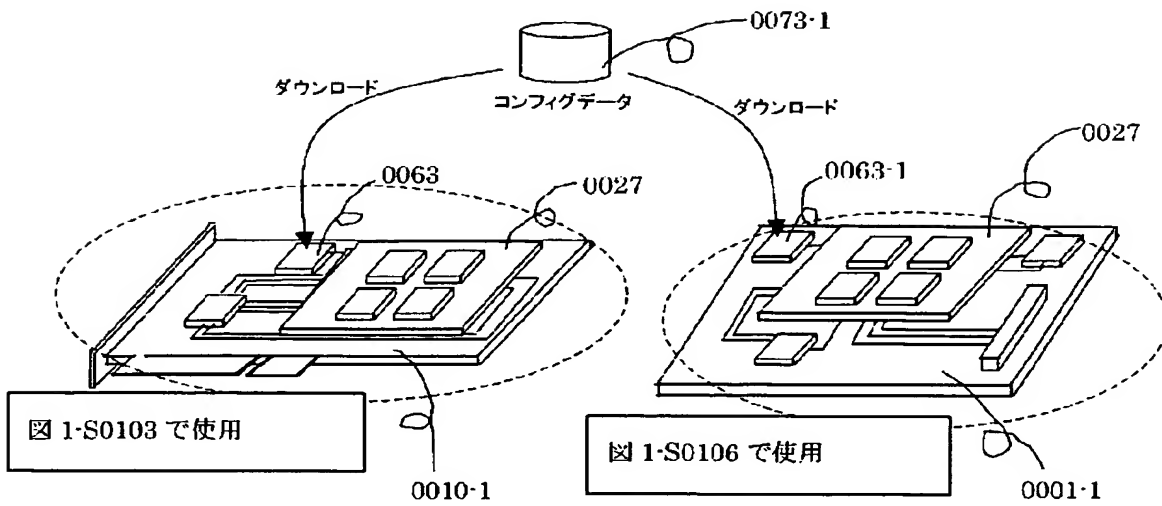
【図 1 2】



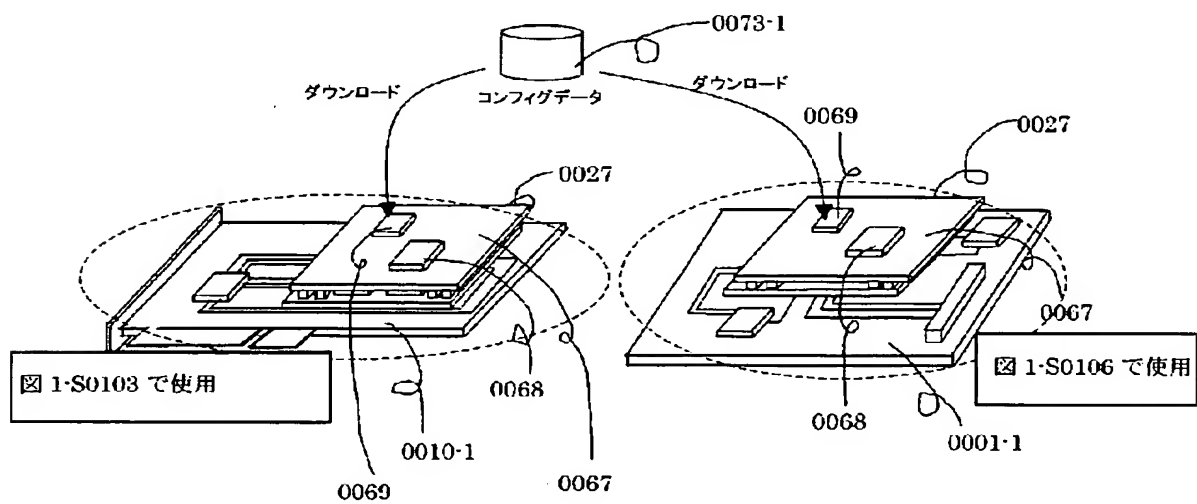
【図 1 3】



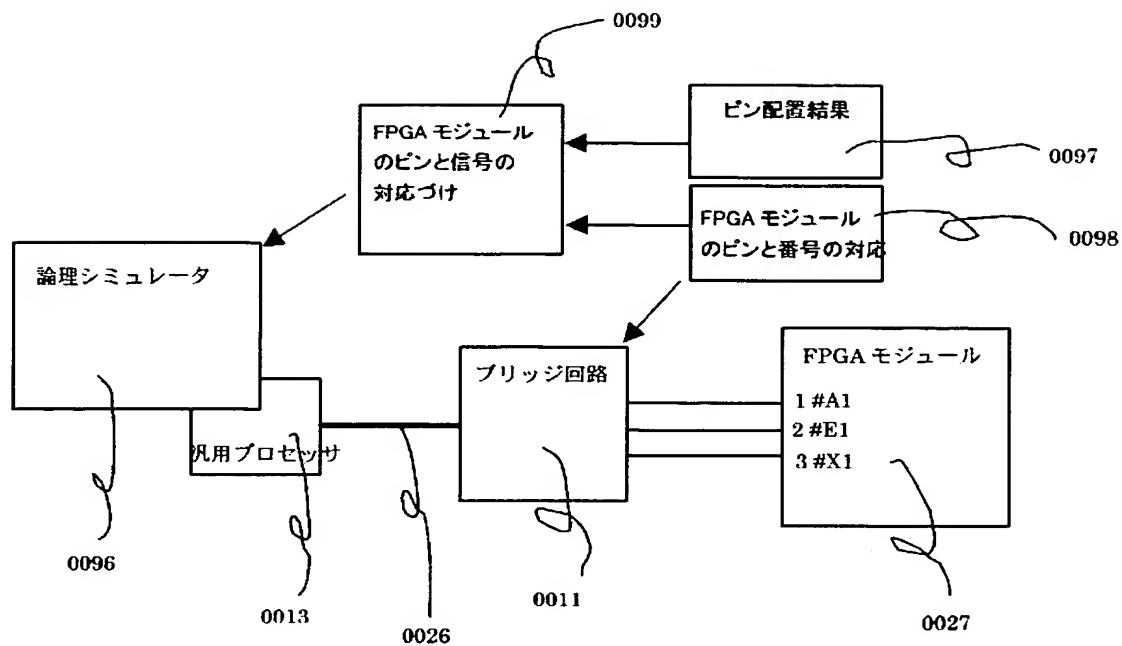
【図 14】



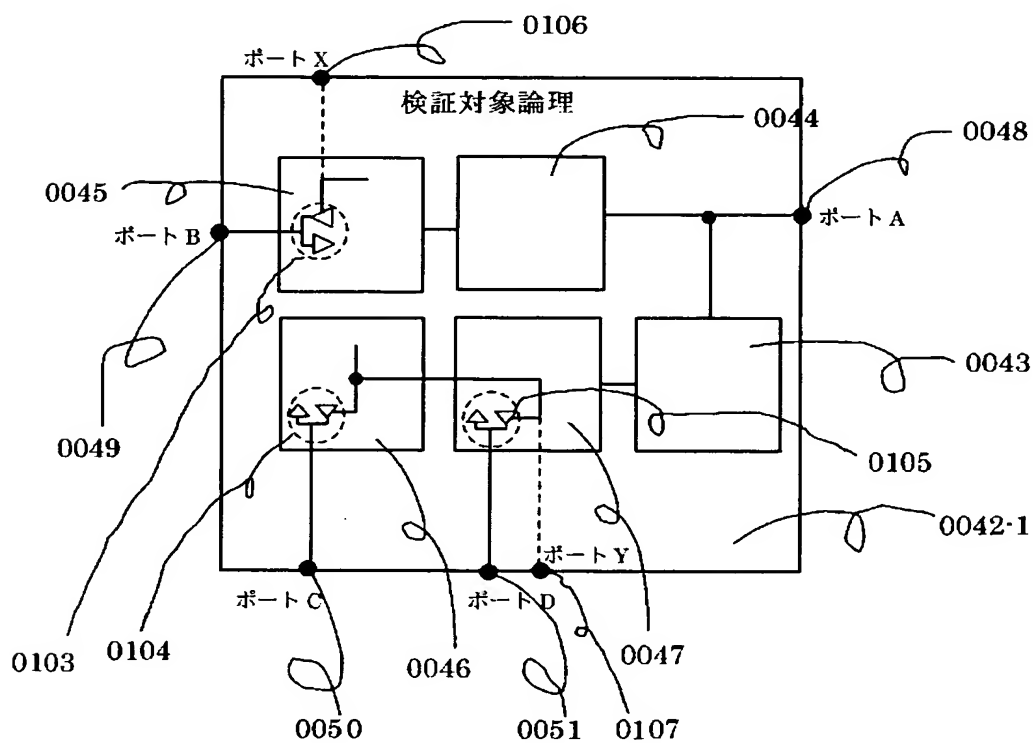
【図 15】



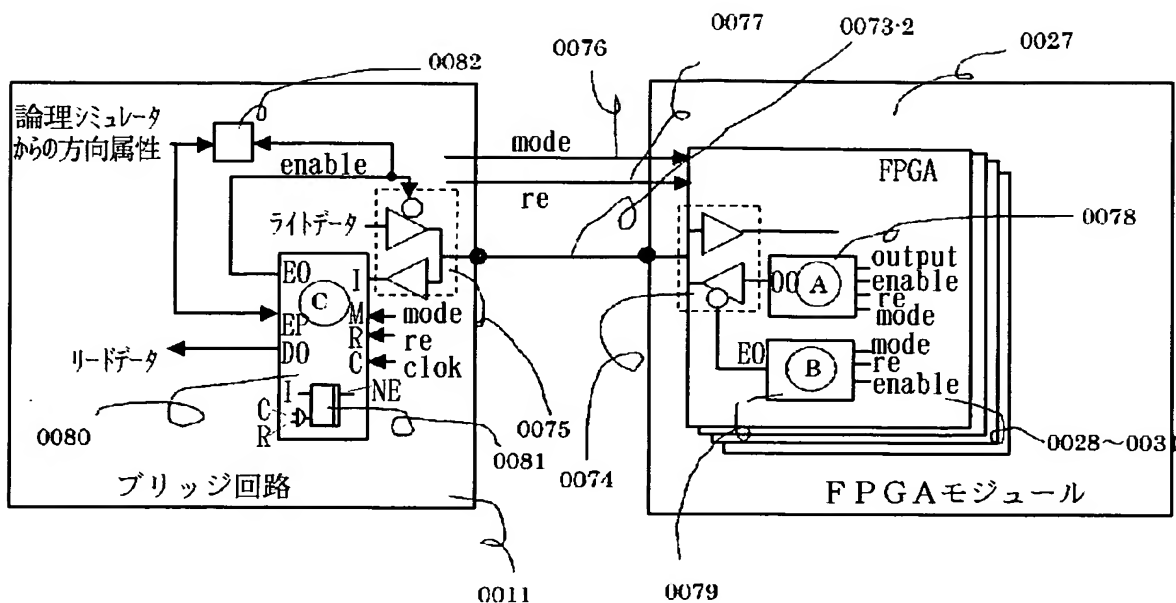
【図 16】



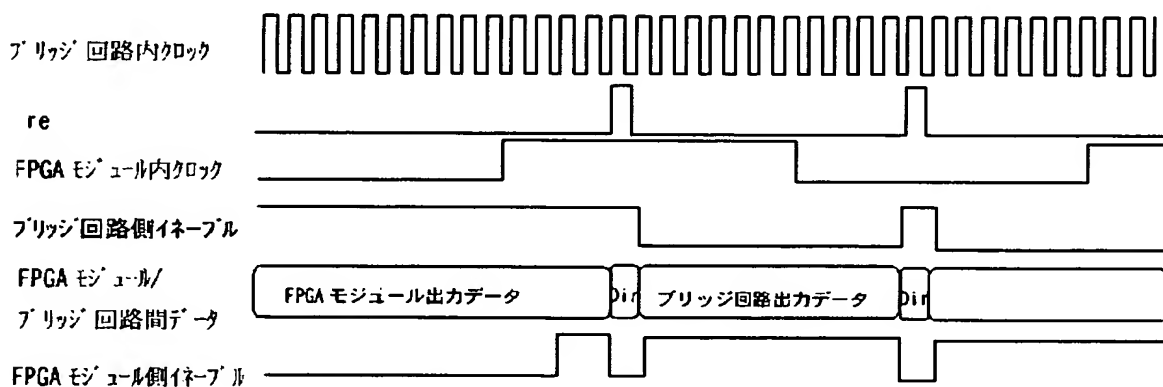
【図 17】



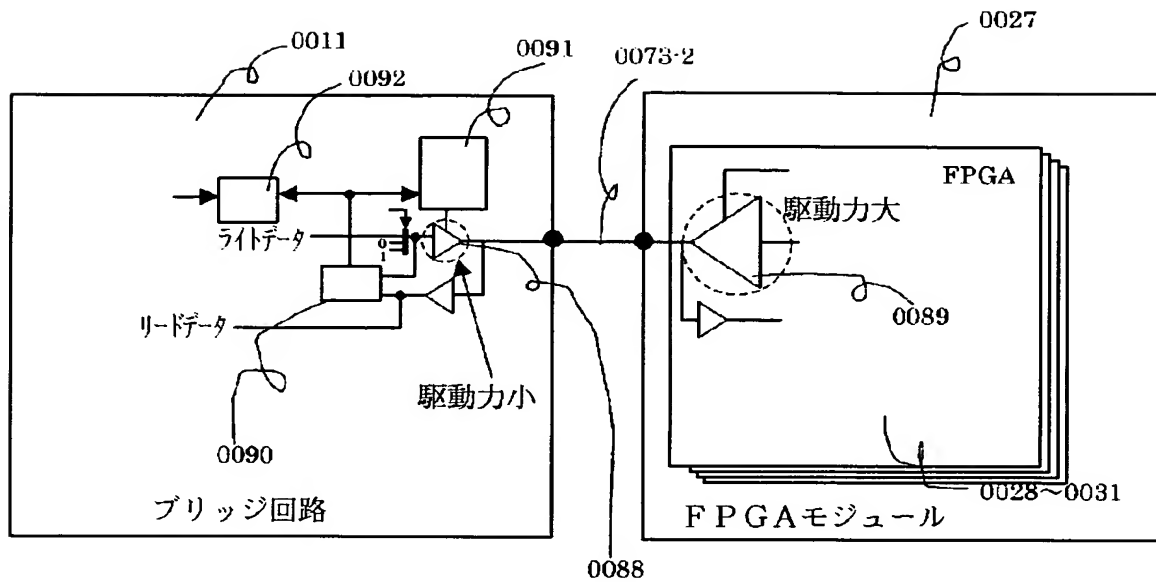
【図 18】



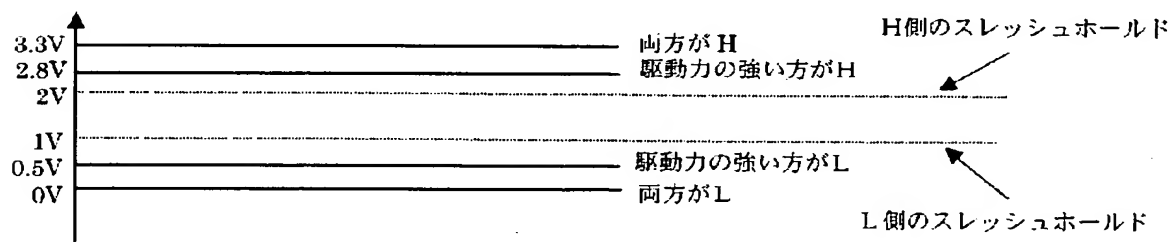
【図 19】



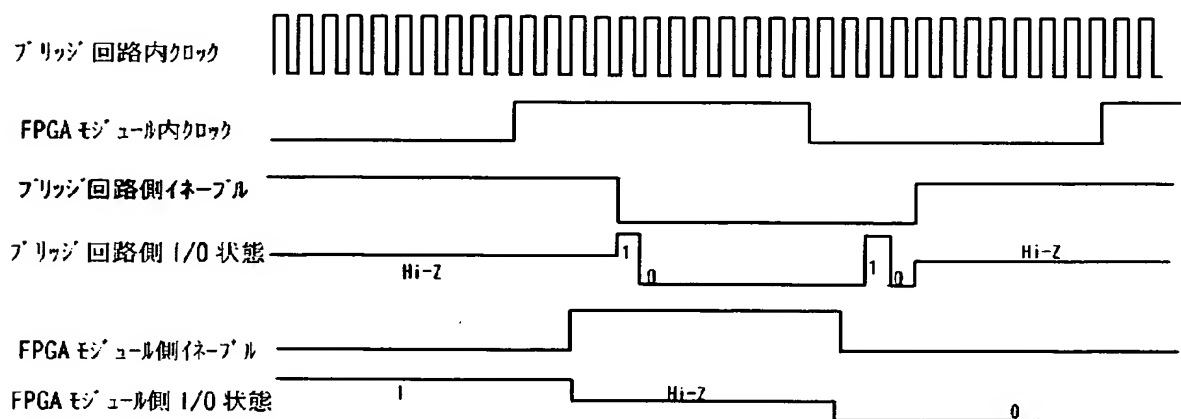
【図 20】



【図 21】



【図 22】



【書類名】 要約書

【要約】

【課題】 開発時間を改善し、設計品質を向上した論理検証システムを提供する。

【解決手段】 論理シミュレーション加速装置と、論理エミュレーション装置での検証工程に用いられるFPGAモジュールとブリッジ回路間において、FPGAモジュールの全ピンを直結配線し、かつ論理シミュレーションの加速を行う場合に、FPGAモジュールの外部インタフェースコネクタに検証対象論理の切り口を割り当て、上記FPGAモジュールの外部インタフェースコネクタの各ピンと論理信号との対応付けを汎用プロセッサ上の論理シミュレータ上で行うようにする。

【選択図】 図12

【書類名】 出願人名義変更届（一般承継）
【あて先】 特許庁長官 殿
【事件の表示】
【出願番号】 特願2002-303415
【承継人】
【識別番号】 503121103
【氏名又は名称】 株式会社ルネサステクノロジ
【承継人代理人】
【識別番号】 100081938
【弁理士】
【氏名又は名称】 徳若 光政
【提出物件の目録】
【包括委任状番号】 0308732
【物件名】 承継人であることを証明する登記簿謄本 1
【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け提出の会社分割による特許権移転登録申請書 を援用する
【物件名】 権利の承継を証明する承継証明書 1
【援用の表示】 特願平 4 - 0 7 8 4 1 8 号 同日提出の出願人名義変更届（一般承継）を援用する

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 0 3 4 1 5
受付番号	5 0 3 0 1 2 2 3 8 8 7
書類名	出願人名義変更届（一般承継）
担当官	塩原 啓三 2 4 0 4
作成日	平成 1 5 年 9 月 1 7 日

< 認定情報・付加情報 >

【提出日】 平成 1 5 年 7 月 2 4 日

特願 2 0 0 2 - 3 0 3 4 1 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 3 0 3 4 1 5

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日
[変更理由]

2 0 0 3 年 4 月 1 日
新規登録

住 所
氏 名

東京都千代田区丸の内二丁目 4 番 1 号
株式会社ルネサステクノロジ